

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Norinao KOUMA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **October 17, 2003**

For: **METHOD FOR MANUFACTURING MICROSTRUCTURE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: October 17, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-310314, filed October 24, 2002


In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP


Donald W. Hanson

Attorney for Applicants

Reg. No. 27,133

DWH/jaz
Atty. Docket No. **031234**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月24日

出 願 番 号
Application Number:

特願2002-310314

[ST.10/C]:

[JP2002-310314]

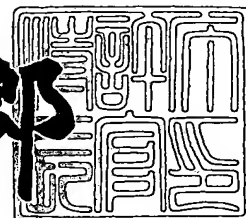
出 願 人
Applicant(s):

富士通株式会社
富士通メディアデバイス株式会社

2002年11月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3088469

【書類名】 特許願

【整理番号】 0295429

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
G02B 26/08

【発明の名称】 マイクロ構造体の製造方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高馬 悟覚

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 水野 義博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 壺井 修

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 奥田 久雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 曾根田 弘光

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 上田 知史

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐脇 一平

【発明者】

【住所又は居所】 長野県須坂市大字小山460番地 富士通メディアデバイス株式会社内

【氏名】 中村 義孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 398067270

【氏名又は名称】 富士通メディアデバイス株式会社

【代理人】

【識別番号】 100086380

【弁理士】

【氏名又は名称】 吉田 稔

【選任した代理人】

【識別番号】 100103078

【弁理士】

【氏名又は名称】 田中 達也

【連絡先】 06-6764-6664

【選任した代理人】

【識別番号】 100105832

【弁理士】

【氏名又は名称】 福元 義和

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 要約書 1

【物件名】 図面 1

【包括委任状番号】 9807281

【包括委任状番号】 0103433

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロ構造体の製造方法

【特許請求の範囲】

【請求項 1】 薄肉部を有するマイクロ構造体を製造するための方法であって、

第 1 導体層と、第 2 導体層と、第 3 導体層と、前記第 2 導体層において薄肉部へと加工される薄肉部箇所をマスクするための部位を含むパターン形状を有して前記第 1 導体層および前記第 2 導体層の間に介在する第 1 絶縁層と、前記第 2 導体層における前記薄肉部箇所をマスク領域に含むパターン形状を有して前記第 2 導体層および前記第 3 導体層の間に介在する第 2 絶縁層と、を含む積層構造を有する材料基板における前記第 1 導体層の側から、前記薄肉部箇所に対応する箇所を非マスク領域に含むマスクパターンを介して、前記第 2 絶縁層に至るまでエッチング処理を行うことによって、前記薄肉部を成形する工程を含む、マイクロ構造体の製造方法。

【請求項 2】 前記材料基板は、更に、前記第 1 絶縁層を貫通し且つ前記第 1 導体層と前記薄肉部とを電氣的に接続するための第 1 導電連絡部、および／または、前記第 2 絶縁層を貫通し且つ前記第 3 導体層と前記薄肉部とを電氣的に接続するための第 2 導電連絡部を有する、請求項 1 に記載のマイクロ構造体の製造方法。

【請求項 3】 薄肉部を有するマイクロ構造体を製造するための方法であって

第 1 導体層と、第 2 導体層と、第 3 導体層と、前記第 2 導体層において前記薄肉部へと加工される薄肉部箇所をマスクするための薄肉部マスク部位を含むパターン形状を有して前記第 1 導体層および前記第 2 導体層の間に介在する第 1 絶縁層と、前記第 2 導体層における前記薄肉部箇所をマスク領域に含むパターン形状を有して前記第 2 導体層および前記第 3 導体層の間に介在する第 2 絶縁層と、を含む積層構造を有するように、材料基板を作製する材料基板積層化工程と、

前記材料基板における前記第 1 導体層の側から、前記薄肉部箇所に対応する箇所を非マスク領域に含むマスクパターンを介して、前記第 2 絶縁層に至るまで

エッチング処理を行うことによって、前記薄肉部を成形する薄肉部成形工程と、を含む、マイクロ構造体の製造方法。

【請求項 4】 前記材料基板積層化工程は、

第 1 導体層上に、前記薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、

前記第 1 導体層に対して前記第 1 絶縁層の側から導体材料を堆積することによって、第 2 導体層を積層形成する第 1 積層工程と、

前記第 2 導体層上に、当該第 2 導体層における前記薄肉部箇所をマスク領域に含むパターン形状を有する第 2 絶縁層を形成する第 2 絶縁層形成工程と、

前記第 2 導体層に対して前記第 2 絶縁層の側から導体材料を堆積することによって、第 3 導体層を積層形成する第 2 積層工程と、を含む、請求項 3 に記載のマイクロ構造体の製造方法。

【請求項 5】 前記材料基板積層化工程は、

第 1 導体層上に、前記薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、

前記第 1 導体層に対して前記第 1 絶縁層の側から導体材料を堆積することによって、第 2 導体層を積層形成する第 1 積層工程と、

前記第 2 導体層上に第 1 プレ絶縁層を成膜する工程と、

第 1 プレ絶縁層が成膜された前記第 2 導体層と、表面に第 2 プレ絶縁層が成膜されている第 3 導体層とを、前記第 1 プレ絶縁層および前記第 2 プレ絶縁層を介して接合することによって、前記第 2 導体層に対して、前記第 1 プレ絶縁層および前記第 2 プレ絶縁層に由来して形成された第 2 絶縁層を介して前記第 3 導体層を積層形成する第 2 積層工程と、を含む、請求項 3 に記載のマイクロ構造体の製造方法。

【請求項 6】 前記材料基板積層化工程は、

第 1 導体層上に、当該第 1 導体層において櫛歯部へと加工される櫛歯部箇所を非マスク領域に含み且つ前記薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、

前記第 1 導体層に対して前記第 1 絶縁層の側から導体材料を堆積すること

よって、第 2 導体層を積層形成する第 1 積層工程と、

前記第 2 導体層の側から、前記櫛歯部箇所をマスクするためのマスクパターンを介して、前記第 1 導体層の途中までエッチング処理を行う工程と、

前記第 2 導体層上に第 1 プレ絶縁層を成膜する工程と、

第 1 プレ絶縁層が成膜された前記第 2 導体層と、表面に第 2 プレ絶縁層が成膜されている第 3 導体層とを、前記第 1 プレ絶縁層および前記第 2 プレ絶縁層を介して接合することによって、前記第 2 導体層に対して、前記第 1 プレ絶縁層および前記第 2 プレ絶縁層に由来して形成された第 2 絶縁層を介して前記第 3 導体層を積層形成する工程と、を含む、請求項 3 に記載のマイクロ構造体の製造方法。

【請求項 7】 前記材料基板積層化工程は、

第 2 導体層と、第 3 導体層と、前記第 2 導体層および前記第 3 導体層の間の前記第 2 絶縁層よりなる材料基板中間体における前記第 2 導体層上に、前記薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、

前記第 2 導体層に対して前記第 1 絶縁層の側から導体材料を堆積することによって、第 1 導体層を積層形成する第 1 積層工程と、を含む、請求項 3 に記載のマイクロ構造体の製造方法。

【請求項 8】 前記材料基板積層化工程は、

第 2 導体層と、ベース層と、前記第 2 導体層における前記薄肉部箇所をマスク領域に含むパターン形状を有して前記第 2 導体層および前記ベース層の間に介在する第 2 絶縁層と、よりなる材料基板中間体における前記第 2 導体層上に、前記薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、

前記第 2 導体層に対して前記第 1 絶縁層の側から導体材料を堆積することによって、第 1 導体層を積層形成する第 1 積層工程と、

前記ベース層を除去することによって前記第 2 絶縁層を露出させる絶縁層露出工程と、

前記第 2 導体層に対して前記第 2 絶縁層の側から導体材料を堆積することに

よって、第3導体層を積層形成する第2積層工程と、を含む、請求項3に記載のマイクロ構造体の製造方法。

【請求項9】 前記材料基板積層化工程は、

ベース導体層上に、前記薄肉部マスク部位を含むパターン形状を有する第1絶縁層を形成する第1絶縁層形成工程と、

前記ベース導体層に対して、前記第1絶縁層をマスクとして、前記薄肉部の厚みに相当する深さまでエッチング処理を行う工程と、

前記ベース導体層に対して前記第1絶縁層の側から導体材料を堆積することによって、第1導体層を形成する第1積層工程と、

前記ベース導体層を、前記第1導体層とは反対の側から、前記薄肉部の厚みに相当する厚みが残る深さまで除去することによって、第2導体層を形成する工程と、

前記第2導体層上に、第2絶縁層を形成する第2絶縁層形成工程と、

前記第2導体層に対して、前記第2絶縁層の側から導体材料を堆積することによって、第3導体層を積層形成する第2積層工程と、を含む、請求項3に記載のマイクロ構造体の製造方法。

【請求項10】 前記第1絶縁層形成工程で形成される前記第1絶縁層は、導電連絡部用の非マスク部を更に含むパターン形状を有し、前記第1積層工程では、前記非マスク部に前記導体材料が堆積することによって、前記第1導体層と前記薄肉部とを電氣的に接続するための導電連絡部が形成される、請求項4から9のいずれか1つに記載のマイクロ構造体の製造方法。

【請求項11】 前記第2絶縁層形成工程で形成される前記第2絶縁層は、導電連絡部用の非マスク部を更に含むパターン形状を有し、前記第2積層工程では、前記非マスク部に前記導体材料が堆積することによって、前記第3導体層と前記薄肉部とを電氣的に接続するための導電連絡部が形成される、請求項4または9に記載のマイクロ構造体の製造方法。

【請求項12】 前記第2積層工程においては、前記第2導体層に対して前記第2絶縁層の側から導体材料を成膜した後に当該導体材料をエピタキシャル成長させる工程を含む、請求項4に記載のマイクロ構造体の製造方法。

【請求項 1 3】 更に、前記第 3 導体層および前記第 2 絶縁層を貫通して前記第 2 導体層に至る貫通孔を形成する工程と、当該貫通孔に導体材料を供給することによって、前記第 3 導体層と前記薄肉部とを電氣的に接続するための導電連絡部を形成する工程と、を含む、請求項 5 または 6 に記載のマイクロ構造体の製造方法。

【請求項 1 4】 前記第 1 絶縁層形成工程で形成される前記第 1 絶縁層は、導電連絡部用の第 1 非マスク部を更に含むパターン形状を有し、前記第 1 絶縁層形成工程の後であって前記第 1 積層工程の前に、更に、前記第 1 絶縁層をマスクとして前記第 2 導体層に対して前記第 2 絶縁層に至るまでエッチング処理を行う工程と、前記第 2 絶縁層に対して導電連絡部用の第 2 非マスク部を形成する工程とを含み、前記第 1 積層工程では、前記第 2 非マスク部に前記導体材料が堆積することによって、前記第 3 導体層と前記薄肉部とを電氣的に接続するための導電連絡部が形成される、請求項 7 に記載のマイクロ構造体の製造方法。

【請求項 1 5】 前記絶縁層露出工程の後、更に、前記第 2 絶縁層に対して導電連絡部用の非マスク部を形成する工程を含み、前記第 2 積層工程では、前記非マスク部に前記導体材料が堆積することによって、前記第 3 導体層と前記薄肉部とを電氣的に接続するための導電連絡部が形成される、請求項 8 に記載のマイクロ構造体の製造方法。

【請求項 1 6】 薄肉部を有するマイクロ構造体を製造するための方法であって、

第 1 導体層、第 2 導体層、並びに、当該第 1 導体層および第 2 導体層の間の第 1 絶縁層よりなる積層構造を含む第 1 材料基板における第 2 導体層に対して、前記第 2 導体層において薄肉部へと加工される薄肉部箇所をマスクするための部位を有するマスクパターンを介して、前記第 1 絶縁層に至るまで第 1 エッチング処理を行うことによって、前記第 1 絶縁層に接する前記薄肉部を形成する工程と

前記薄肉部をエッチングストップ膜により被覆する工程と、

前記第 2 導体層に対して、前記薄肉部を埋め込むように、第 3 導体層を積層形成する工程と、

前記第 3 導体層の側から、前記薄肉部に対応する箇所を非マスク領域に含むマスクパターンを介して、前記第 1 絶縁層に至るまで第 2 エッチング処理を行う工程と、を含む、マイクロ構造体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロマシニング技術により作製されるマイクロミラー素子、加速度センサ素子、角速度センサ素子、振動素子などのマイクロ構造体の製造方法に関する。

【0002】

【従来の技術】

近年、様々な技術分野において、マイクロマシニング技術により形成される微小構造を有する素子の応用化が図られている。例えば光通信技術の分野においては、光反射機能を有する微小なマイクロミラー素子が注目されている。

【0003】

光通信においては、光ファイバを媒体として光信号が伝送され、光信号の伝送経路を或るファイバから他のファイバへと切換えるためには、一般に、いわゆる光スイッチング装置が使用される。良好な光通信を達成するうえで光スイッチング装置に求められる特性としては、切換え動作における、大容量性、高速性、高信頼性などが挙げられる。これらの観点より、光スイッチング装置としては、マイクロマシニング技術によって作製されるマイクロミラー素子を組み込んだものに対する期待が高まっている。マイクロミラー素子によると、光スイッチング装置における入力側の光伝送路と出力側の光伝送路との間で、光信号を電気信号に変換せずに光信号のままでスイッチング処理を行うことができ、上掲の特性を得るうえで好適だからである。

【0004】

マイクロミラー素子は、光を反射するためのミラー面を備え、当該ミラー面の揺動により光の反射方向を変化させることができる。ミラー面を揺動するために静電力を利用する静電駆動型のマイクロミラー素子が、多くの光学装置で採用さ

れている。静電駆動型マイクロミラー素子は、いわゆる表面マイクロマシニング技術によって製造されるマイクロミラー素子と、いわゆるバルクマイクロマシニング技術によって製造されるマイクロミラー素子とに大きく2つに類別することができる。

【0005】

表面マイクロマシニング技術では、基板上において、各構成部位に対応する材料薄膜を所望のパターンに加工し、このようなパターンを順次積層することにより、支持体、ミラー面および電極部など、素子を構成する各部位や、後に除去される犠牲層を形成する。一方、バルクマイクロマシニング技術では、材料基板自体をエッチングすることにより支持体やミラー部などを所望の形状に成形し、必要に応じてミラー面や電極を薄膜形成する。バルクマイクロマシニング技術については、例えば特許文献1～3に開示されている。

【0006】

【特許文献1】

特開平5-302182号公報

【特許文献2】

特開平10-214978号公報

【特許文献3】

特開平10-256569号公報

【0007】

マイクロミラー素子に要求される技術的事項の一つとして、光反射を担うミラー面の平面度が高いことが挙げられる。しかしながら、表面マイクロマシニング技術によると、最終的に形成されるミラー面が薄いため、ミラー面が湾曲し易く、高平面度が保証されるのは、ミラー面のサイズにおいて一辺の長さが数10 μ mのものに限られる。

【0008】

これに対して、バルクマイクロマシニング技術によると、相対的に分厚い材料基板自体をエッチング技術により削り込んでミラー部を構成し、このミラー部上にミラー面を設けるため、より広面積のミラー面であっても、その剛性を確保す

ることができる。その結果、十分に高い光学的平面度を有するミラー面を形成することが可能となる。したがって、特に一辺の長さが $100\mu\text{m}$ 以上のミラー面が必要とされるマイクロミラー素子の製造においては、バルクマイクロマシニング技術が広く採用されている。

【0009】

図29は、バルクマイクロマシニング技術によって作製された従来の静電駆動型マイクロミラー素子の一例としての、マイクロミラー素子400の一部省略分解斜視図である。マイクロミラー素子400は、ミラー基板410とベース基板420とがスペーサ（図示略）を介して積層された構造を有する。ミラー基板410は、ミラー部411と、内フレーム412と、外フレーム413とを有する。ミラー部411と内フレーム412は、一对のトーションバー414により連結されている。内フレーム412と外フレーム413は、一对のトーションバー415により連結されている。一对のトーションバー414は、内フレーム412に対するミラー部411の回転動作の軸心を規定する。一对のトーションバー415は、外フレーム413に対する内フレーム412およびこれに伴うミラー部411の回転動作の軸心を規定する。

【0010】

ミラー部411の裏面には、一对の平板電極411a, 411bが設けられており、表面には、光を反射するためのミラー面（図示略）が設けられている。また、内フレーム412の裏面には、一对の平板電極412a, 412bが設けられている。

【0011】

ベース基板420には、ミラー部411の平板電極411a, 411bに対向するように、平板電極420a, 420bが設けられており、内フレーム412の平板電極412a, 412bに対向するように、平板電極420c, 420dが設けられている。従来のマイクロミラー素子においては、駆動手法として、一般的には、このような平板電極を用いて静電力を発生させる手法が採用される場合が多い。

【0012】

このような構成によれば、例えば、ミラー部 4 1 1 の平板電極 4 1 1 a を正に帯電させた状態において、ベース基板 4 2 0 の平板電極 4 2 0 a を負に帯電させると、平板電極 4 1 1 a と平板電極 4 2 0 a の間に静電引力が発生し、ミラー部 4 1 1 は、一对のトーションバー 4 1 4 を振りながら矢印 M 1 の方向に揺動する。

【 0 0 1 3 】

一方、例えば、内フレーム 4 1 2 の平板電極 4 1 2 a を正に帯電させた状態において、ベース基板 4 2 0 の平板電極 4 2 0 c を負に帯電させると、平板電極 4 1 2 a と平板電極 4 2 0 c の間に静電引力が発生し、内フレーム 4 1 2 は、ミラー部 4 1 1 を伴って、一对のトーションバー 4 1 5 を振りながら矢印 M 2 方向に揺動する。図 3 0 は、このような回転駆動によって、内フレーム 4 1 2 およびこれに伴うミラー部 4 1 1 が、外フレーム 4 1 3 に対して傾斜角度 θ まで変位した状態を表す。

【 0 0 1 4 】

平板電極 4 2 0 a, 4 2 0 b に対する平板電極 4 1 1 a, 4 1 1 b の配向については、図 2 9 に示す状態と図 3 0 に示す状態とは異なる。そのため、図 2 9 および図 3 0 に示す各状態において、例えば平板電極 4 1 1 a と平板電極 4 2 0 a との間に同じ電圧を印加しても、発生する静電引力の大きさは異なり、その結果、内フレーム 4 1 2 に対するミラー部 4 1 1 の傾斜角度は、相違することとなる。したがって、図 2 9 および図 3 0 に示す各状態において、内フレーム 4 1 2 に対するミラー部 4 1 1 の傾斜角度を同一とするためには、例えば平板電極 4 1 1 a と平板電極 4 2 0 a との間に、各状態に応じて異なる適切な大きさの静電引力が発生させなければならない。これを達成するためには、外フレーム 4 1 3 に対する内フレーム 4 1 2 の傾斜角度を考慮して、平板電極 4 1 1 a および平板電極 4 2 0 a に印加する電圧を制御する必要がある。

【 0 0 1 5 】

このような印加電圧の制御を行うためには、ミラー部 4 1 1 の内フレーム 4 1 2 に対する印加電圧に応じた傾斜角度のデータ、および、外フレーム 4 1 3 に対する印加電圧に応じた傾斜角度のデータを保存しておき、これらを参照して印加

電圧を選択する等の手法を採用しなければならない。そのうえ、そのデータ量は膨大となる。そのため、このような印加電圧制御を伴う駆動手法が採用されるマイクロミラー素子 4 0 0 では、スイッチング速度の向上が困難であって、駆動回路に対する負担も過大となってしまう。

【 0 0 1 6 】

また、マイクロミラー素子 4 0 0 に採用されている平板電極構造にあっては、ベース基板 4 2 0 に設けられた平板電極 4 2 0 a, 4 2 0 b, 4 2 0 c, 4 2 0 d によって、平板電極 4 1 1 a, 4 1 1 b を備えたミラー部 4 1 1、ないし、平板電極 4 1 2 a, 4 1 2 b を備えた内フレーム 4 1 2 を引き込むような駆動をするため、その駆動に際して引入れ電圧 (Pull-in Voltage) が存在する。すなわち、或る電圧でミラー部 4 1 1 ないし内フレーム 4 1 2 が急激に引き込まれる現象が生じ、ミラー部 4 1 1 の傾斜角度を適切に制御できないという問題が発生する場合がある。この問題は、特に大きな傾斜角度 (約 5° 以上) を達成しようとする場合、すなわちトーションバーの捩れの程度が大きい場合に顕著となる。

【 0 0 1 7 】

このような不具合を解決すべく、平板電極構造に代えて、櫛歯電極構造によって、マイクロミラー素子を駆動する手法が提案されている。図 3 1 は、櫛歯電極構造を採用した従来のマイクロミラー素子 5 0 0 の一部省略斜視図である。

【 0 0 1 8 】

マイクロミラー素子 5 0 0 は、上面または下面にミラー面 (図示略) が設けられたミラー部 5 1 0 と、内フレーム 5 2 0 と、外フレーム 5 3 0 (一部省略) とを有し、各々に、櫛歯電極が一体的に形成されている。具体的には、ミラー部 5 1 0 には、その一对の平行な側面から外方に延出する一对の櫛歯電極 5 1 0 a, 5 1 0 b が形成されている。内フレーム 5 2 0 には、櫛歯電極 5 1 0 a, 5 1 0 b に対応して一对の櫛歯電極 5 2 0 a, 5 2 0 b が内方に延びて形成されているとともに、一对の櫛歯電極 5 2 0 c, 5 2 0 d が外方に延びて形成されている。外フレーム 5 3 0 には、櫛歯電極 5 2 0 c, 5 2 0 d に対応して、一对の櫛歯電極 5 3 0 a, 5 3 0 b が内方に延びて形成されている。また、ミラー部 5 1 0 と内フレーム 5 2 0 は、一对のトーションバー 5 4 0 により連結されており、内フ

レーム 5 2 0 と外フレーム 5 3 0 は、一對のトーションバー 5 5 0 により連結されている。一對のトーションバー 5 4 0 は、内フレーム 5 2 0 に対するミラー部 5 1 0 の回転動作の軸心を規定し、一對のトーションバー 5 5 0 は、外フレーム 5 3 0 に対する内フレーム 5 2 0 およびこれに伴うミラー部 5 1 0 の回転動作の軸心を規定している。

【 0 0 1 9 】

このような構成のマイクロミラー素子 5 0 0 においては、静電力を発生させるために近接して設けられた一組の櫛歯電極、例えば櫛歯電極 5 1 0 a および櫛歯電極 5 2 0 a は、電圧非印加時には、図 3 2 (a) に示すように、上下 2 段に分かれた状態をとっている。そして、電圧印加時には、図 3 2 (b) に示すように、櫛歯電極 5 1 0 a が櫛歯電極 5 2 0 a に引き込まれ、これによってミラー部 5 1 0 を駆動する。より具体的には、図 3 0 において、例えば、櫛歯電極 5 1 0 a を正に帯電させ、櫛歯電極 5 2 0 a を負に帯電させると、ミラー部 5 1 0 が、一對のトーションバー 5 4 0 を振りながら M 3 の方向に揺動する。一方、櫛歯電極 5 2 0 c を正に帯電させ、櫛歯電極 5 3 0 a を負に帯電させると、内フレーム 5 2 0 は、一對のトーションバー 5 5 0 を振りながら M 4 の方向に揺動する。

【 0 0 2 0 】

これら 2 つの回転動作は、互いに独立している。すなわち、櫛歯電極 5 1 0 a , 5 1 0 b および櫛歯電極 5 2 0 a , 5 2 0 b に電位を付与する前において、外フレーム 5 3 0 に対する内フレーム 5 2 0 の傾斜角度の大きさに拘わらず、櫛歯電極 5 1 0 a , 5 1 0 b は、櫛歯電極 5 2 0 a , 5 2 0 b に対して常に同じ配向状態をとる。このように、マイクロミラー素子 5 0 0 においては、外フレーム 5 3 0 に対する内フレーム 5 2 0 およびこれに伴うミラー部 5 1 0 の傾斜角度が影響を与えないため、ミラー部 5 1 0 の傾斜角度の制御を単純化することができる。

【 0 0 2 1 】

また、櫛歯電極構造によると、生ずる静電力の作用方向について、ミラー部 5 1 0 の揺動方向に対して略直交するように設定される。したがって、ミラー部 5 1 0 の駆動の際に、引込みによる櫛歯電極の接触が起こりにくく、その結果、ミ

ラー部 5 1 0 について、大きな傾斜角度を適切に達成することが可能となる。

【 0 0 2 2 】

マイクロミラー素子 5 0 0 では、ミラー部 5 1 0 および内フレーム 5 2 0 の回転動作に伴って櫛歯（電極）が変位するため、ミラー部 5 1 0 および内フレーム 5 2 0 の傾斜角度に見合った十分な厚みを有する櫛歯電極を形成しておく必要がある。例えば、ミラー部 5 1 0 の胴体部 5 1 1 の長さ D が 1 mm である場合、ミラー部 5 1 0 を内フレーム 5 2 0 に対して、一对のトーションバー 5 4 0 によって規定される軸心まわりに 5° 傾斜させると、胴体端部 5 1 1' の一方は $44\ \mu\text{m}$ 沈み込む。そのため、ミラー部 5 1 0 に形成する櫛歯電極 5 1 0 a, 5 1 0 b の厚み T は、少なくとも $44\ \mu\text{m}$ 以上とする必要がある。

【 0 0 2 3 】

その一方で、小さな印加電圧によって大きな傾斜角度を得るという観点からは、振り抵抗を有するトーションバー 5 4 0, 5 5 0 については、薄肉に形成するのが好ましい。しかしながら、従来のマイクロミラー素子 5 0 0 では、トーションバー 5 4 0, 5 5 0 は、ミラー部 5 1 0、内フレーム 5 2 0 および外フレーム 5 3 0 を構成する材料基板と同一の厚みに形成されており、分厚い。例えば、上述のように櫛歯電極 5 1 0 a, 5 1 0 b の厚み T を $44\ \mu\text{m}$ 以上に設計すると、ミラー部 5 1 0 とともに、トーションバー 5 4 0, 5 5 0 の厚みも $44\ \mu\text{m}$ 以上となってしまう。このような分厚いトーションバー 5 4 0, 5 5 0 であると、これらを振るために櫛歯電極間に発生させるべき静電力は大きくなり、その結果、駆動電圧も大きくなってしまう。また、従来の技術においては、トーションバー 5 4 0, 5 5 0 の幅寸法を変更することによって、トーションバー 5 4 0, 5 5 0 の振れ抵抗力を調節しているが、幅方向の設計変更だけでは、適切な振れ抵抗力を設定するのには充分でない場合が多い。

【 0 0 2 4 】

【発明が解決しようとする課題】

このように、バルクマイクロマシニング技術により作製されるマイクロ構造体では、材料基板においてエッチング成形される種々の構造部において、異なる厚みないし高さが要求される場合がある。しかしながら、従来のバルクマイクロマ

シニング技術においては、厚い構造部に一体的に接続する薄い構造部を、厚み寸法について高精度に形成するのは困難であった。

【 0 0 2 5 】

本発明は、このような事情のもとで考え出されたものであって、厚み寸法について高精度に形成された薄肉部を有するマイクロ構造体の製造方法を提供することを目的とする。

【 0 0 2 6 】

本発明の第 1 の側面によると、薄肉部を有するマイクロ構造体を製造するための方法が提供される。この方法は、第 1 導体層と、第 2 導体層と、第 3 導体層と、第 2 導体層において薄肉部へと加工される薄肉部箇所をマスクするための部位を含むパターン形状を有して第 1 導体層および第 2 導体層の間に介在する第 1 絶縁層と、第 2 導体層における薄肉部箇所をマスク領域に含むパターン形状を有して第 2 導体層および第 3 導体層の間に介在する第 2 絶縁層と、を含む積層構造を有する材料基板における第 1 導体層の側から、薄肉部箇所に対応する箇所を非マスク領域に含むマスクパターンを介して、第 2 絶縁層に至るまでエッチング処理を行うことによって、薄肉部を成形する工程を含む。

【 0 0 2 7 】

好ましくは、材料基板は、更に、第 1 絶縁層を貫通し且つ第 1 導体層と薄肉部とを電氣的に接続するための第 1 導電連絡部、および／または、第 2 絶縁層を貫通し且つ第 3 導体層と薄肉部とを電氣的に接続するための第 2 導電連絡部を有する。

【 0 0 2 8 】

本発明の第 2 の側面によると、薄肉部を有するマイクロ構造体を製造するための他の方法が提供される。この方法は、第 1 導体層と、第 2 導体層と、第 3 導体層と、第 2 導体層において薄肉部へと加工される薄肉部箇所をマスクするための薄肉部マスク部位を含むパターン形状を有して第 1 導体層および第 2 導体層の間に介在する第 1 絶縁層と、第 2 導体層における薄肉部箇所をマスク領域に含むパターン形状を有して第 2 導体層および第 3 導体層の間に介在する第 2 絶縁層と、を含む積層構造を有するように、材料基板を作製する材料基板積層化工程と、

材料基板における第 1 導体層の側から、薄肉部箇所に対応する箇所を非マスク領域に含むマスクパターンを介して、第 2 絶縁層に至るまでエッチング処理を行うことによって、薄肉部を成形する薄肉部成形工程と、を含む。

【 0 0 2 9 】

第 2 の側面における第 1 の好ましい実施形態では、形態材料基板積層化工程は、第 1 導体層上に、薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、第 1 導体層に対して第 1 絶縁層の側から導体材料を堆積することによって、第 2 導体層を積層形成する第 1 積層工程と、第 2 導体層上に、当該第 2 導体層における薄肉部箇所をマスク領域に含むパターン形状を有する第 2 絶縁層を形成する第 2 絶縁層形成工程と、第 2 導体層に対して第 2 絶縁層の側から導体材料を堆積することによって、第 3 導体層を積層形成する第 2 積層工程と、を含む。

【 0 0 3 0 】

第 2 の側面における第 2 の好ましい実施形態では、材料基板積層化工程は、第 1 導体層上に、薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、第 1 導体層に対して第 1 絶縁層の側から導体材料を堆積することによって、第 2 導体層を積層形成する第 1 積層工程と、第 2 導体層上に第 1 プレ絶縁層を成膜する工程と、第 1 プレ絶縁層が成膜された第 2 導体層と、表面に第 2 プレ絶縁層が成膜されている第 3 導体層とを、第 1 プレ絶縁層および第 2 プレ絶縁層を介して接合することによって、第 2 導体層に対して、第 1 プレ絶縁層および第 2 プレ絶縁層に由来して形成された第 2 絶縁層を介して第 3 導体層を積層形成する第 2 積層工程と、を含む。

【 0 0 3 1 】

第 2 の側面における第 3 の好ましい実施形態では、材料基板積層化工程は、第 1 導体層上に、当該第 1 導体層において櫛歯部へと加工される櫛歯部箇所を非マスク領域に含み且つ薄肉部マスク部位を含むパターン形状を有する第 1 絶縁層を形成する第 1 絶縁層形成工程と、第 1 導体層に対して第 1 絶縁層の側から導体材料を堆積することによって、第 2 導体層を積層形成する第 1 積層工程と、第 2 導体層の側から、櫛歯部箇所をマスクするためのマスクパターンを介して、第 1 導

体層の途中までエッチング処理を行う工程と、第2導体層上に第1プレ絶縁層を成膜する工程と、第1プレ絶縁層が成膜された第2導体層と、表面に第2プレ絶縁層が成膜されている第3導体層とを、第1プレ絶縁層および第2プレ絶縁層を介して接合することによって、第2導体層に対して、第1プレ絶縁層および第2プレ絶縁層に由来して形成された第2絶縁層を介して第3導体層を積層形成する工程と、を含む。

【 0 0 3 2 】

第2の側面における第4の好ましい実施形態では、材料基板積層化工程は、第2導体層と、第3導体層と、第2導体層および第3導体層の間の第2絶縁層よりなる材料基板中間体における第2導体層上に、薄肉部マスク部位を含むパターン形状を有する第1絶縁層を形成する第1絶縁層形成工程と、第2導体層に対して第1絶縁層の側から導体材料を堆積することによって、第1導体層を積層形成する第1積層工程と、を含む。

【 0 0 3 3 】

第2の側面における第5の好ましい実施形態では、材料基板積層化工程は、第2導体層と、ベース層と、第2導体層における薄肉部箇所をマスク領域に含むパターン形状を有して第2導体層およびベース層の間に介在する第2絶縁層と、よりなる材料基板中間体における第2導体層上に、薄肉部マスク部位を含むパターン形状を有する第1絶縁層を形成する第1絶縁層形成工程と、第2導体層に対して第1絶縁層の側から導体材料を堆積することによって、第1導体層を積層形成する第1積層工程と、ベース層を除去することによって第2絶縁層を露出させる絶縁層露出工程と、第2導体層に対して第2絶縁層の側から導体材料を堆積することによって、第3導体層を積層形成する第2積層工程と、を含む。

【 0 0 3 4 】

第2の側面における第6の好ましい実施形態では、材料基板積層化工程は、ベース導体層上に、薄肉部マスク部位を含むパターン形状を有する第1絶縁層を形成する第1絶縁層形成工程と、ベース導体層に対して、第1絶縁層をマスクとして、薄肉部の厚みに相当する深さまでエッチング処理を行う工程と、ベース導体層に対して第1絶縁層の側から導体材料を堆積することによって、第1導体層を

形成する第1積層工程と、ベース導体層を、第1導体層とは反対の側から、薄肉部の厚みに相当する厚みが残る深さまで除去することによって、第2導体層を形成する工程と、第2導体層上に、第2絶縁層を形成する第2絶縁層形成工程と、第2導体層に対して、第2絶縁層の側から導体材料を堆積することによって、第3導体層を積層形成する第2積層工程と、を含む。

【 0 0 3 5 】

第2の側面の第1から第6の好ましい実施形態においては、好ましくは、第1絶縁層形成工程で形成される第1絶縁層は、導電連絡部用の非マスク部を更に含むパターン形状を有し、第1積層工程では、非マスク部に導体材料が堆積することによって、第1導体層と薄肉部とを電氣的に接続するための導電連絡部が形成される。

【 0 0 3 6 】

第1および第6の好ましい実施の形態においては、好ましくは、第2絶縁層形成工程で形成される第2絶縁層は、導電連絡部用の非マスク部を更に含むパターン形状を有し、第2積層工程では、非マスク部に導体材料が堆積することによって、第3導体層と薄肉部とを電氣的に接続するための導電連絡部が形成される。

【 0 0 3 7 】

第1の好ましい実施の形態においては、好ましくは、第2積層工程においては、第2導体層に対して第2絶縁層の側から導体材料を成膜した後に当該導体材料をエピタキシャル成長させる工程を含む。

【 0 0 3 8 】

第2および第3の好ましい実施の形態においては、好ましくは、更に、第3導体層および第2絶縁層を貫通して第2導体層に至る貫通孔を形成する工程と、当該貫通孔に導体材料を供給することによって、第3導体層と薄肉部とを電氣的に接続するための導電連絡部を形成する工程と、を含む。

【 0 0 3 9 】

第4の好ましい実施の形態においては、好ましくは、第1絶縁層形成工程で形成される第1絶縁層は、導電連絡部用の第1非マスク部を更に含むパターン形状を有し、第1絶縁層形成工程の後であって第1積層工程の前に、更に、第1絶縁

層をマスクとして第2導体層に対して第2絶縁層に至るまでエッチング処理を行う工程と、第2絶縁層に対して導電連絡部用の第2非マスク部を形成する工程とを含み、第1積層工程では、第2非マスク部に導体材料が堆積することによって、第3導体層と薄肉部とを電氣的に接続するための導電連絡部が形成される。

【0040】

第5の好ましい実施の形態においては、好ましくは、絶縁層露出工程の後、更に、第2絶縁層に対して導電連絡部用の非マスク部を形成する工程を含み、第2積層工程では、非マスク部に導体材料が堆積することによって、第3導体層と薄肉部とを電氣的に接続するための導電連絡部が形成される。

【0041】

本発明の第3の側面によると、薄肉部を有するマイクロ構造体を製造するための他の方法が提供される。この方法は、第1導体層、第2導体層、並びに、当該第1導体層および第2導体層の間の第1絶縁層よりなる積層構造を含む第1材料基板における第2導体層に対して、第2導体層において薄肉部へと加工される薄肉部箇所をマスクするための部位を有するマスクパターンを介して、第1絶縁層に至るまで第1エッチング処理を行うことによって、第1絶縁層に接する薄肉部を形成する工程と、薄肉部をエッチングストップ膜により被覆する工程と、第2導体層に対して、薄肉部を埋め込むように、第3導体層を積層形成する工程と、第3導体層の側から、薄肉部に対応する箇所を非マスク領域に含むマスクパターンを介して、第1絶縁層に至るまで第2エッチング処理を行う工程と、を含む。

【0042】

【発明の実施の形態】

図1および図2は、本発明により製造することのできるマイクロ構造体の一例としてのマイクロミラー素子X1を表す。

【0043】

マイクロミラー素子X1は、不純物をドーピングすることによって導電性が付与されたシリコンまたはポリシリコン、および、絶縁層、よりなる多層構造を有する材料基板において成形されたものであり、ミラー部110と、これを囲む内フレーム120と、内フレーム120を囲む外フレーム130と、ミラー部110お

よび内フレーム 1 2 0 を連結する一对の連結部 1 4 0 と、内フレーム 1 2 0 および外フレーム 1 3 0 を連結する一对の連結部 1 5 0 とを備える。ミラー部 1 1 0 と内フレーム 1 2 0 との間の離隔距離、および、内フレーム 1 1 0 と外フレーム 1 2 0 との間の離隔距離は、例えば 1 0 ~ 2 0 0 μ m である。一对の連結部 1 4 0 は、内フレーム 1 2 0 に対するミラー部 1 1 0 の回転動作の軸心を規定する。一对の連結部 1 5 0 は、外フレーム 1 3 0 に対する内フレーム 1 2 0 およびこれに伴うミラー部 1 1 0 の回転動作の軸心を規定する。連結部 1 4 0, 1 5 0 は、これら 2 つの軸心が直交するように、設けられている。図 2 では、連結部 1 4 0, 1 5 0 よりも紙面手前方向に突き出る部位が、ハッチを付して表されている。

【 0 0 4 4 】

ミラー部 1 1 0 には、その一对の平行な側面から外方に延出する一对の櫛歯電極 1 1 0 a, 1 1 0 b が一体成形されている。また、ミラー部 1 1 0 の上面には、ミラー面 1 1 1 が設けられている。

【 0 0 4 5 】

内フレーム 1 2 0 は、上層部 1 2 1 と、一对の下層部 1 2 2 とを有する。上層部 1 2 1 および下層部 1 2 2 は、電氣的に分離されている。上層部 1 2 1 には、外方に延出する櫛歯電極 1 2 1 a, 1 2 1 b が一体的に成形されている。一对の下層部 1 2 2 には、内方に延出する櫛歯電極 1 2 2 a, 1 2 2 b が一体的に成形されている。櫛歯電極 1 2 2 a は、ミラー部 1 1 0 から延出する櫛歯電極 1 1 0 a の下方に位置しているが、内フレーム 1 2 0 に対するミラー部 1 1 0 の回転動作時において櫛歯電極 1 1 0 a の歯と櫛歯電極 1 2 2 a の歯とが当接しないように、配設されている。同様に、櫛歯電極 1 2 2 b は、ミラー部 1 1 0 から延出する櫛歯電極 1 1 0 b の下方に位置しているが、ミラー部 1 1 0 の回転動作時において櫛歯電極 1 1 0 b の歯と櫛歯電極 1 2 2 b の歯とが当接しないように、配設されている。

【 0 0 4 6 】

外フレーム 1 3 0 は、上層部 1 3 1 と下層部 1 3 2 とを有する。上層部 1 3 1 および下層部 1 3 2 は、電氣的に分離されている。下層部 1 3 2 には、内方に延出する櫛歯電極 1 3 2 a, 1 3 2 b が一体的に成形されている。櫛歯電極 1 3 2

a は、内フレーム 1 2 0 の上層部 1 2 1 から延出する櫛歯電極 1 2 1 a の下方に位置しているが、外フレーム 1 3 0 に対する内フレーム 1 2 0 の回転動作時において、櫛歯電極 1 2 1 a の歯と櫛歯電極 1 3 2 a の歯とが当接しないように、配設されている。同様に、櫛歯電極 1 3 2 b は、内フレーム 1 2 0 の上層部 1 2 1 から延出する櫛歯電極 1 2 1 b の下方に位置しているが、内フレーム 1 2 0 の回転動作時において、櫛歯電極 1 2 1 b の歯と櫛歯電極 1 3 2 b の歯とが当接しないように、配設されている。

【 0 0 4 7 】

各連結部 1 4 0 は、相互に離隔している 2 本のトーションバー 1 4 1 からなる。各トーションバー 1 4 1 は、ミラー部 1 1 0 および内フレーム 1 2 0 と接続し、これらよりも薄肉である。また、2 本のトーションバー 1 4 1 の間隔は、内フレーム 1 2 0 の側からミラー部 1 1 0 の側にかけて次第に広がっている。

【 0 0 4 8 】

各連結部 1 5 0 は、相互に離隔している 2 本のトーションバー 1 5 1 からなる。各トーションバー 1 5 1 は、内フレーム 1 2 0 および外フレーム 1 3 0 と接続し、これらよりも薄肉である。また、2 本のトーションバー 1 5 1 の間隔は、外フレーム 1 3 0 の側から内フレーム 1 2 0 の側にかけて次第に広がっている。

【 0 0 4 9 】

このように、マイクロミラー素子 X 1 は、ミラー部 1 1 0 および内フレーム 1 2 0 よりも薄肉であって、ミラー部 1 1 0 および内フレーム 1 2 0 の間の導電経路を担い得る連結部 1 4 0 ないしトーションバー 1 4 1 を有し、且つ、内フレーム 1 2 0 および外フレーム 1 3 0 よりも薄肉であって、内フレーム 1 2 0 および外フレーム 1 3 0 の間の導電経路を担い得る連結部 1 5 0 ないしトーションバー 1 5 1 を有する。各連結部 1 4 0、1 5 0 に含まれるトーションバーの数については、必要に応じて変更してもよい。

【 0 0 5 0 】

図 3 (a) ～図 6 (c) は、本発明の第 1 の実施形態に係るマイクロ構造体製造方法における一連の工程を表す。この方法は、マイクロマシニング技術によって上述のマイクロミラー素子 X 1 を製造するための一手法である。

【 0 0 5 1 】

図 3 (a) ～ 図 6 (c) においては、図 6 (c) に示すミラー部 M、トーションバー T 1、内フレーム F 1、一組の櫛歯電極 E 1、E 2、トーションバー T 2、内フレーム F 2、トーションバー T 3、および、外フレーム F 3 の形成過程を、一の断面により表す。当該一の断面は、マイクロマシニングが施される材料基板（多層構造を有するウエハ）における単一のマイクロミラー素子形成区画に含まれる複数の所定箇所の断面を、モデル化して連続断面としたものである。

【 0 0 5 2 】

図 6 (c) において、ミラー部 M は、ミラー部 1 1 0 の一部位に相当する。トーションバー T 1 は、トーションバー 1 4 1 に相当し、その延び方向に沿った断面により表されている。内フレーム F 1 は、内フレーム 1 2 0 において上層部 1 2 1 を含む一部位に相当する。櫛歯電極 E 1 は、櫛歯電極 1 1 0 a、1 1 0 b、1 2 1 a、1 2 1 b の一部に相当する。櫛歯電極 E 2 は、櫛歯電極 1 2 2 a、1 2 2 b、1 3 2 a、1 3 2 b の一部に相当する。トーションバー T 2 は、トーションバー 1 4 1、1 5 1 に相当し、その延び方向に垂直な断面により表されている。内フレーム F 2 は、内フレーム 1 2 0 において上層部 1 2 および下層部 1 2 2 を含む一部位に相当する。トーションバー T 3 は、トーションバー 1 5 1 に相当し、その延び方向に沿った断面により表されている。外フレーム F 3 は、外フレーム 1 3 0 の一部位に相当する。

【 0 0 5 3 】

図 6 (c) に示すトーションバー T 3 は、内フレーム 1 2 0 の下層部 1 2 2 と、外フレーム 1 3 0 の下層部 1 3 2 とを電氣的に接続しているが、後述するように、トーションバー T 3 については、上層部 1 2 1 と上層部 1 3 1、上層部 1 2 1 と下層部 1 3 2、または、下層部 1 2 2 と上層部 1 3 1 を電氣的に接続するように形成することもできる。

【 0 0 5 4 】

また、図 3 (a) ～ 図 5 (c) においては、当該モデル化断面とともに、ウエハの端部付近におけるアライメントマーク形成部位についての 2 種類の断面を表す。この 2 種類の断面は、異なる 2 つのアライメントマーク形成方法に対応する

ものである。モデル化断面の右隣の断面により、第1アライメントマーク形成方法によるアライメントマークの形成過程を表す。図中最も右側の断面により、第2アライメントマーク形成方法によるアライメントマークの形成過程を表す。本実施形態では、いずれのアライメントマーク形成方法を採用してもよい。また、アライメントマークは、ウエハにおける適切な2箇所に形成される。

【0055】

第1の実施形態に係るマイクロ構造体製造方法においては、まず、図3(a)に示すように、シリコン基板11の上に酸化膜パターン12を形成する。本実施形態では、シリコン基板11は、PやSbをドーピングすることによって導電性が付与されたシリコンよりなるウエハであり、例えば300 μ mの厚みを有する。酸化膜パターン12の形成においては、具体的には、まず、熱酸化法（加熱温度900℃）により、シリコン基板11の表面に、酸化シリコンよりなり厚が例えば0.25 μ mの酸化膜を成長させる。そして、シリコン基板11の上面の酸化膜については、所定のレジストパターンをマスクとしたエッチングによりパターンニングする。このパターンニングにおけるエッチング液としては、例えば、フッ酸とフッ化アンモニウムからなるバッファードフッ酸（BHF）を使用することができる。熱酸化膜またはCVD酸化膜からなる後出の各酸化膜パターンについても、このようなレジストパターンの形成およびその後のエッチング処理を経て形成される。シリコン基板11の下面に成長した酸化膜は、BHFにより除去される。

【0056】

酸化膜パターン12は、図6(a)に示す工程において、ミラー部M、トーションバーT1、内フレームF1、トーションバーT2、および、トーションバーT3へと加工される箇所をマスクするためのものである。また、第1アライメントマーク形成方法を採用する場合には、本工程にて、アライメントマークAM1が形成される。

【0057】

次に、例えばCVD法により、酸化膜パターン12の上方からシリコン基板11に対してポリシリコンを成膜することによって、図3(b)に示すように、ポ

リシリコン層 1 3 a, 1 3 b を形成する。ポリシリコン層 1 3 a, 1 3 b は、CVD 時にポリシリコンに P をドーピングすることによって導電性が付与されており、酸化膜パターン 1 2 の表面から例えば 3 μ m の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 1 3 a と、シリコン基板 1 1 およびポリシリコン層 1 3 b とは、電氣的に接続している。また、ポリシリコン層 1 3 a の表面には、酸化膜パターン 1 2 の厚みに起因して、約 0. 2 5 μ m の段差が生じるが、図の簡潔化の観点より当該段差は省略する。

【 0 0 5 8 】

次に、図 3 (c) に示すように、ポリシリコン層 1 3 a の上に酸化膜パターン 1 4 を形成する。具体的には、まず、CVD 法により、ポリシリコン層 1 3 a の表面に、酸化シリコンよりなり例えば 1 μ m の厚みを有する酸化膜を成長させる。その後、当該酸化膜をパターニングする。酸化膜パターン 1 4 は、導電連絡部用の開口部 1 4 a, 1 4 b を有する。第 1 アライメントマーク形成方法を採用する場合には、酸化膜パターン 1 4 は、アライメントマーク AM 1 に対応する位置に開口部 1 4 c を有する。また、第 2 アライメントマーク形成方法を採用する場合には、本工程にて、アライメントマーク AM 2 が形成される。

【 0 0 5 9 】

次に、CVD 法により、酸化膜パターン 1 4 の上方からポリシリコンを成膜することによって、図 3 (d) に示すように、酸化膜パターン 1 4 の開口部 1 4 a, 1 4 b に導電連絡部としてのプラグ P 1, P 2 を形成し、且つ、酸化膜パターン 1 4 の上にポリシリコン層 1 5 を形成する。ポリシリコン層 1 5 は、CVD 時にポリシリコンに P をドーピングすることによって導電性が付与されており、酸化膜パターン 1 4 の表面から例えば 3 μ m の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 1 5 とポリシリコン層 1 3 a とは、電氣的に接続している。

【 0 0 6 0 】

次に、図 4 (a) に示すように、エピタキシャル成長法により、ポリシリコン層 1 5 の上にポリシリコン層 1 6 を形成する。本実施形態では、ポリシリコン層 1 6 は、エピタキシャル成長時にポリシリコンに P をドーピングすることによって導

電性が付与されており、ポリシリコン層 1 5 の表面から約 1 3 0 μ m の厚みを有する。本工程では、ポリシリコン層 1 6 の表面には、比較的大きな凹凸が形成されてしまう。

【 0 0 6 1 】

次に、図 4 (b) に示すように、ポリシリコン層 1 6 の表面を研削およびそれに続いて鏡面研磨する。これにより、酸化膜パターン 1 4 上のポリシリコン層 1 5 およびポリシリコン層 1 6 の総厚を 5 0 μ m とする。

【 0 0 6 2 】

本工程を経ることによって、シリコン基板 1 1 およびポリシリコン層 1 3 b よりなる第 1 導体層 1 0 1 と、ポリシリコン層 1 3 a よりなる第 2 導体層 1 0 2 と、ポリシリコン層 1 5 およびポリシリコン層 1 6 よりなる第 3 導体層 1 0 3 と、第 1 導体層および第 2 導体層の間に介在する酸化膜パターン 1 2 (第 1 絶縁層 1 0 4) と、第 2 導体層および第 3 導体層の間に介在する酸化膜パターン 1 4 (第 2 絶縁層 1 0 5) とからなる積層構造を有する材料基板が形成される。

【 0 0 6 3 】

次に、図 4 (c) に示すように、アライメントマークを露出させる。第 1 アライメントマーク形成方法を採用する場合には、第 3 導体層 1 0 3 の側から、所定のレジストパターンをマスクとして、D R I E (Deep Reactive Ion Etching) により、第 1 導体層 1 0 1 が数 μ m 掘れるまでエッチング処理を行う。第 2 アライメントマーク形成方法を採用する場合には、第 3 導体層 1 0 3 の側から、所定のレジストパターンをマスクとして、D R I E により、第 1 絶縁層 1 0 4 に至るまでエッチング処理を行う。

【 0 0 6 4 】

D R I E では、エッチングと側壁保護を交互に行う B o s c h プロセスにおいて、S F ₆ ガスによるエッチングを例えば 8 秒行い、C ₄ F ₈ ガスによる側壁保護処理を例えば 6 . 5 秒行い、ウエハに印加するバイアスを例えば 2 3 W とすることによって、良好なエッチング処理を行うことができる。以降の D R I E についても、このような条件を採用することができる。

【 0 0 6 5 】

次に、図 4 (d) に示すように、第 1 導体層 1 0 1 上に配線 1 7 (図 1 および図 2 において図示せず) を形成するとともに、第 3 導体層 1 0 3 上にミラー面 1 1 1 を形成する。具体的には、第 1 導体層 1 0 1 および第 3 導体層 1 0 3 に対して、スパッタリングにより、例えば、Cr (50 nm) およびこれに続いて Au (200 nm) を成膜した後に当該金属膜に対して所定のマスクを介したエッチング処理を行うことによって、配線 1 7 およびミラー面 1 1 1 をパターン形成する。Cr に対するエッチング液としては、例えば硝酸第二セリウムアンモニウムを使用することができる。Au に対するエッチング液としては、例えば、ヨウ化カリウム-ヨウ素水溶液を使用することができる。第 3 導体層 1 0 3 上におけるミラー面 1 1 1 のパターンニングに際しては、アライメントマーク (AM1 または AM2) を参照して位置合せを行う。第 1 導体層 1 0 1 上における配線 1 7 のパターンニングに際しては、第 3 導体層 1 0 3 上のミラー面 1 1 1 のパターン形状を参照して位置合せを行う。

【 0 0 6 6 】

次に、図 5 (a) に示すように、第 1 導体層 1 0 1 および第 3 導体層 1 0 3 に対して、酸化膜パターン 1 8 を形成し、且つ、第 1 導体層 1 0 1 に対してレジストパターン 1 9 を形成する。レジストパターン 1 9 の形成においては、具体的には、第 1 導体層 1 0 1 上に液状のフォトレジストをスピンコーティングにより成膜し、露光および現像を経てパターンニングする。フォトレジストとしては、例えば、AZP4210 (クラリアントジャパン製) や AZ1500 (クラリアントジャパン製) を使用することができる。以降のレジストパターンについても、このようなフォトレジストの成膜およびその後の露光・現象を経て形成される。

【 0 0 6 7 】

第 3 導体層 1 0 3 上の酸化膜パターン 1 8 は、図 5 (c) に示す工程にて、第 3 導体層 1 0 3 においてミラー部 M、内フレーム F1、櫛歯電極 E1、内フレーム F2、および、外フレーム F3 へと加工される箇所をマスクするためのものである。第 1 導体層 1 0 1 上の酸化膜パターン 1 8 は、図 5 (d) および図 6 (a) に示す工程にて、第 1 導体層 1 0 1 において外フレーム F3 へと加工される箇所をマスクするためのものである。レジストパターン 1 9 は、図 5 (d) に示す

工程にて、第1導体層101において櫛歯電極E2および内フレームF2へと加工される箇所に対応する箇所をマスクするためのものである。

【0068】

次に、図5(b)に示すように、アライメントマーク(AM1またはAM2)を穴埋めしてもよい。穴埋めには、レジストやSOG(Spin-on-Glass)などを使用することができる。

【0069】

次に、図5(c)に示すように、第3導体層103に対して、酸化膜パターン18をマスクとして、DRIEにより第2絶縁層105に至るまでエッチング処理を行う。これによって、ミラー部Mの一部、内フレームF1の一部、櫛歯電極E1、内フレームF2の一部、および、外フレームF3の一部が成形される。

【0070】

次に、図5(d)に示すように、DRIEにより、酸化膜パターン18およびレジストパターン19をマスクとして、第1導体層101に対して櫛歯電極E2の厚みに相当する深さまでエッチング処理を行う。当該エッチング処理の前に、図5(d)に示すように、第2絶縁層105の上位に犠牲膜20を形成しておいてもよい。犠牲膜20は、第2絶縁層105の上位の構造が、本工程以降に破損することを防止すべく設けられるものである。犠牲膜20は、例えば、液状ガラスを塗布した後にこれをアニールすることによって形成することができる。これに代えて、犠牲膜20としてはレジストを塗布形成してもよい。或は、紫外線硬化型接着フィルムシートなどのような接着力を制御できるフィルムを材料基板に張り付けることによって、犠牲膜20を形成してもよい。

【0071】

次に、レジストパターン19を剥離した後、図6(a)に示すように、第1導体層101の側から第2絶縁層105に至るまでエッチング処理を行う。これによって、ミラー部Mの一部、トーションバーT1、内フレームF1の一部、櫛歯電極E2、トーションバーT2、内フレームF2の一部、トーションバーT3、および、外フレームF3の一部が成形される。また、内フレームF2には、導電連絡部としてのプラグP3が形成される。同様に、外フレームF3には、プラグ

P 4 が形成される。レジストパターン 1 9 を剥離するための剥離液としては、A Z リムーバ 7 0 0 (クラリアントジャパン製) を使用することができる。以降のレジストパターンの剥離についても、これを使用することができる。

【 0 0 7 2 】

次に、図 6 (b) に示すように、犠牲層 2 0 を除去する。犠牲層 2 0 の除去に際しては、液状ガラスに対しては例えば B H F を使用することができる。レジストに対しては、A Z リムーバ 7 0 0 (クラリアントジャパン製) を使用することができる。

【 0 0 7 3 】

次に、図 6 (c) に示すように、エッチング液に素子を浸漬することによって、露出している第 1 絶縁層 1 0 4、第 2 絶縁層 1 0 5、および、酸化膜パターン 1 8 をエッチング除去する。

【 0 0 7 4 】

以上の一連の工程を経ることによって、ミラー部 M、トーションバー T 1、内フレーム F 1、櫛歯電極 E 1、E 2、トーションバー T 2、内フレーム F 2、トーションバー T 3、および、外フレーム F 3 が形成される。すなわち、図 1 および図 2 に示すマイクロミラー素子 X 1 が製造される。

【 0 0 7 5 】

本実施形態では、図 3 (b) に示す工程において、ポリシリコン層 1 3 a すなわち第 2 導体層 1 0 2 を、厚み寸法について高精度に成膜することができる。したがって、本実施形態によると、絶縁層 1 0 4、1 0 5 の間において予め厚み寸法が高精度に規定されている第 2 導体層 1 0 2 から、トーションバー 1 4 1、1 5 1 を、厚み寸法について高精度に成形することができるのである。

【 0 0 7 6 】

本実施形態において形成されるミラー部 M は、第 3 導体層 1 0 3 に由来する部位と、第 2 導体層 1 0 2 に由来してトーションバー T 1 に連続する部位とを有し、これら 2 つの部位は、プラグ P 1 を介して電氣的に接続している。内フレーム F 1 は、第 3 導体層 1 0 3 に由来する部位すなわち上層部 1 2 1 と、第 2 導体層 1 0 2 に由来してトーションバー T 1 に連続する部位とを有し、これら 2 つの部

位は、プラグ P 2 を介して電氣的に接続している。したがって、ミラー部 M（ミラー部 1 1 0）と内フレーム F 1（内フレーム 1 2 0）の上層部 1 2 1 とは、トーションバー T 1（トーションバー 1 4 1）によって電氣的に接続されている。

【 0 0 7 7 】

また、内フレーム F 2 は、第 2 導体層 1 0 2 に由来してトーションバー T 3 に連続する部位と、第 1 導体層 1 0 1 に由来する部位すなわち下層部 1 2 2 とを有し、これら 2 つの部位は、プラグ P 3 を介して電氣的に接続している。外フレーム F 3 は、第 2 導体層 1 0 2 に由来してトーションバー T 3 に連続する部位と、第 1 導体層 1 0 1 に由来する部位すなわち下層部 1 3 2 とを有し、これら 2 つの部位は、プラグ P 4 を介して電氣的に接続している。したがって、内フレーム F 2（内フレーム 1 2 0）の下層部 1 2 2 と、外フレーム F 3（外フレーム 1 3 0）の下層部 1 3 2 とは、トーションバー T 3（トーションバー 1 5 1）によって電氣的に接続されている。

【 0 0 7 8 】

本実施形態においては、内フレーム F 2 および外フレーム F 3 の間の電氣的接続の態様について、他の態様を形成することもできる。内フレーム F 2 において、下層部 1 2 2 と第 2 導体層由来部位との間にプラグ P 3 を設けずに、下層部 1 2 2 と第 2 導体層由来部位との間を第 1 絶縁層 1 0 4 により電氣的に分離し、且つ、上層部 1 2 1 と第 2 導体層由来部位との間に、例えば内フレーム F 1 のプラグ P 2 を形成したのと同様の工程を経て導電プラグを設けることによって、内フレーム F 2 の上層部 1 2 1 は、トーションバー T 3 と電氣的に接続することとなる。図 6（c）における内フレーム F 2 の構造をこのように変更すると、内フレーム F 2（内フレーム 1 2 0）の上層部 1 2 1 と、外フレーム F 3（外フレーム 1 3 0）の下層部 1 3 2 とを、トーションバー T 3（トーションバー 1 5 1）によって電氣的に接続することができる。

【 0 0 7 9 】

同様に、外フレーム F 3 において、下層部 1 3 2 と第 2 導体層由来部位との間にプラグ P 4 を設けずに、下層部 1 3 2 と第 2 導体層由来部位との間を第 1 絶縁層 1 0 4 により電氣的に分離し、且つ、上層部 1 3 1 と第 2 導体層由来部位との

間に、例えば内フレームF 1 のプラグP 2 と同様のプラグを設けることによって、外フレームF 3 の上層部1 3 1 は、トーションバーT 3 と電氣的に接続することとなる。図6 (c) における外フレームF 3 の構造をこのように変更すると、内フレームF 2 (内フレーム1 2 0) の下層部1 2 2 と、外フレームF 3 (外フレーム1 3 0) の上層部1 3 1 とを、トーションバーT 3 (トーションバー1 5 1) によって電氣的に接続することができる。

【0080】

また、図6 (c) における内フレームF 2 および外フレームF 3 の構造を、共に上述のように変更すると、内フレームF 2 (内フレーム1 2 0) の上層部1 2 1 と、外フレームF 3 (外フレーム1 3 0) の上層部1 3 1 とを、トーションバーT 3 (トーションバー1 5 1) によって電氣的に接続することができる。

【0081】

マイクロミラー素子X 1 において、連結部1 5 0 に含まれる各トーションバー1 5 1 について上述のいずれかの電氣的接続態様を適宜選択し、且つ、各トーションバー1 5 1 が不適切に短絡しないように内フレーム1 2 0 および外フレーム1 3 0 の内部において導電経路を形成することによって、外フレーム1 3 0 から内フレーム1 2 0 に対して、複数の電位伝達が可能となる。すなわち、各櫛歯電極に対して付与すべき電位の大きさを、個別に制御することが可能となる。その結果、マイクロミラー素子X 1 について、複雑な動作を適切に実現することが可能となる。

【0082】

図7 (a) ~ 図10 (c) は、本発明の第2の実施形態に係るマイクロ構造体製造方法における一連の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子X 1 を製造するための一手法である。図7 (a) ~ 図10 (c) においては、図3 (a) ~ 図6 (c) と同様に、モデル化した一の断面によって、ミラー部M、トーションバーT 1、内フレームF 1、一組の櫛歯電極E 1、E 2、トーションバーT 2、内フレームF 2、トーションバーT 3、および、外フレームF 3 の形成過程を表す。また、本実施形態では、アライメントマークAM 3 の形成過程についても、モデル化断面において表す。

【 0 0 8 3 】

本実施形態では、まず、図 7 (a) に示すように、シリコン基板 2 1 の下面にアライメントマーク AM 3 としての凹部を形成した後、シリコン基板 2 1 の上面に酸化膜パターン 2 2 を形成する。アライメントマーク AM 3 は、D R I E により、所定のマスクを介して 5 μ m 程の深さまでエッチング処理を行うことによって形成する。酸化膜パターン 2 2 は、熱酸化法によりシリコン基板 2 1 の上面に成膜された酸化膜（厚みは例えば 0 . 2 5 μ m）をパターニングすることによって形成する。当該パターニングに際しては、アライメントマーク AM 3 を参照して位置合せを行う。酸化膜パターン 2 2 は、図 1 0 (a) に示す工程において、ミラー部 M、トーションバー T 1、内フレーム F 1、トーションバー T 2、および、トーションバー T 3 へと加工される箇所をマスクするためのものである。

【 0 0 8 4 】

次に、C V D 法により、酸化膜パターン 2 2 の上方からシリコン基板 2 1 に対してポリシリコンを成膜することによって、図 7 (b) に示すように、ポリシリコン層 2 3 a、2 3 b を形成する。ポリシリコン層 2 3 a、2 3 b は、C V D 時にポリシリコンに P をドーピングすることによって導電性が付与されており、酸化膜パターン 2 2 の表面から例えば 3 μ m の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 2 3 a と、シリコン基板 2 1 およびポリシリコン層 2 3 b とは、電氣的に接続している。ポリシリコン層 2 3 b には、アライメントマーク AM 3 に対応する凹部が形成される。

【 0 0 8 5 】

次に、図 7 (c) に示すように、C V D 法により、ポリシリコン層 2 3 a、2 3 b の上に、例えば 1 μ m の厚みを有する酸化膜 2 4 ' を成膜する。次に、図 7 (d) に示すように、片面に酸化膜 2 4 ' ' が成膜されたシリコン基板 2 5 を用意する。酸化膜 2 4 ' ' は、熱酸化法によりシリコン基板 2 5 上に形成されたものである。

【 0 0 8 6 】

次に、図 8 (a) に示すように、シリコン基板 2 5 を、酸化膜 2 4 ' ' を介して酸化膜 2 4 ' の上に加熱接合する。酸化膜 2 4 ' と酸化膜 2 4 ' ' は、一体と

なって酸化膜 2 4 となる。

【 0 0 8 7 】

次に、図 8 (b) に示すように、シリコン基板 2 5 に対して酸化膜 2 4 に至る貫通孔を形成した後、酸化膜 2 4 に対して導電連絡部用の開口部 2 4 a , 2 4 b を形成する。シリコン基板 2 5 における貫通孔は、所定のレジストパターンをマスクとする D R I E により形成する。開口部 2 4 a , 2 4 b は、B H F に素子を浸漬することによって形成する。このとき、ポリシリコン層 2 3 b 上の酸化膜 2 4 ' も除去される。

【 0 0 8 8 】

次に、図 8 (c) に示すように、ポリシリコン層 2 6 およびプラグ P 5 , P 6 を形成する。これらの形成においては、まず、例えば C V D 法により、シリコン基板 2 5 上および開口部 2 4 a , 2 4 b 内に、ポリシリコン膜 (例えば 1 μ m) を成膜する。次に、例えば C V D 法により、当該ポリシリコン膜上にリンシリケートガラス (P S G) 膜 (例えば 1 μ m) を成膜し、続いて熱処理を行う。これにより、導電機能を有するプラグ P 5 , P 6 の形成が可能となる。次に、開口部 2 4 a , 2 4 b に連通するシリコン基板 2 5 の貫通孔を、ポリシリコンをエピタキシャル成長させることによって填塞する。次に、貫通孔外にてエピタキシャル成長したポリシリコンを研磨して除去する。このようにして、ポリシリコン層 2 6 およびプラグ P 5 , P 6 を形成することができる。本工程を経た材料基板においては、シリコン基板 2 5 とポリシリコン層 2 3 a とは、電氣的に接続している。

【 0 0 8 9 】

本工程を経ることによって、シリコン基板 2 1 およびポリシリコン層 2 3 b よりなる第 1 導体層 1 0 1 と、ポリシリコン層 2 3 a よりなる第 2 導体層 1 0 2 と、シリコン基板 2 5 およびポリシリコン層 2 6 よりなる第 3 導体層 1 0 3 と、第 1 導体層および第 2 導体層の間に介在する酸化膜パターン 2 2 (第 1 絶縁層 1 0 4) と、第 2 導体層および第 3 導体層の間に介在する酸化膜 2 4 (第 2 絶縁層 1 0 5) とからなる積層構造を有する材料基板が形成される。

【 0 0 9 0 】

次に、図 8 (d) に示すように、第 1 導体層 1 0 1 上に配線 2 7 (図 1 および図 2 において図示せず) を形成するとともに、第 3 導体層 1 0 3 上にミラー面 1 1 1 を形成する。具体的には、第 1 の実施形態において図 4 (d) を参照して上述したのと略同様である。ただし、第 1 導体層 1 0 1 上における配線 2 7 のパターンニングに際しては、アライメントマーク AM 3 を参照して位置合せを行う。第 3 導体層 1 0 3 上のミラー面 1 1 1 のパターンニングに際しては、第 1 導体層 1 0 1 上の配線 2 7 のパターン形状を参照して位置合せを行う。

【 0 0 9 1 】

次に、図 9 (a) に示すように、第 1 導体層 1 0 1 および第 3 導体層 1 0 3 に対して、酸化膜パターン 2 8 を形成し、且つ、第 1 導体層 1 0 1 に対してレジストパターン 2 9 を形成する。

【 0 0 9 2 】

第 3 導体層 1 0 3 上の酸化膜パターン 2 8 は、図 9 (b) に示す工程にて、第 3 導体層 1 0 3 においてミラー部 M、内フレーム F 1、櫛歯電極 E 1、内フレーム F 2、および、外フレーム F 3 へと加工される箇所をマスクするためのものである。第 1 導体層 1 0 1 上の酸化膜パターン 2 8 は、図 9 (c) および図 1 0 (a) に示す工程にて、第 1 導体層 1 0 1 において外フレーム F 3 へと加工される箇所をマスクするためのものである。レジストパターン 2 9 は、図 9 (c) に示す工程にて、第 1 導体層 1 0 1 において櫛歯電極 E 2 および内フレーム F 2 へと加工される箇所に対応する箇所をマスクするためのものである。

【 0 0 9 3 】

次に、図 9 (b) に示すように、第 3 導体層 1 0 3 に対して、酸化膜パターン 2 8 をマスクとして、D R I E により第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部 M の一部、内フレーム F 1 の一部、櫛歯電極 E 1、内フレーム F 2 の一部、および、外フレーム F 3 の一部が成形される。

【 0 0 9 4 】

次に、図 9 (c) に示すように、第 2 絶縁層 1 0 5 の上位に犠牲膜 2 0 を形成した後に、D R I E により、レジストパターン 2 9 をマスクとして、第 1 導体層 1 0 1 に対して櫛歯電極 E 2 の厚みに相当する深さまでエッチング処理を行う。

【 0 0 9 5 】

次に、レジストパターン 2 9 を剥離した後に、図 1 0 (a) に示すように、第 1 導体層 1 0 1 の側から第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部 M の一部、トーションバー T 1 、内フレーム F 1 の一部、櫛歯電極 E 2 、トーションバー T 2 、内フレーム F 2 の一部、トーションバー T 3 、および、外フレーム F 3 の一部が成形される。また、内フレーム F 2 には、第 1 の実施形態と同様のプラグ P 3 が形成される。同様に、外フレーム F 3 には、プラグ P 4 が形成される。

【 0 0 9 6 】

次に、図 1 0 (b) に示すように、第 1 の実施形態において図 6 (b) を参照して上述したのと同様に、犠牲層 2 0 を除去する。次に、図 1 0 (c) に示すように、エッチング液に素子を浸漬することによって、露出している第 1 絶縁層 1 0 4 、第 2 絶縁層 1 0 5 、および、酸化膜パターン 2 8 をエッチング除去する。

【 0 0 9 7 】

以上の一連の工程を経ることによって、ミラー部 M 、トーションバー T 1 、内フレーム F 1 、櫛歯電極 E 1 、 E 2 、トーションバー T 2 、内フレーム F 2 、トーションバー T 3 、および、外フレーム F 3 が形成される。すなわち、図 1 および図 2 に示すマイクロミラー素子 X 1 が製造される。

【 0 0 9 8 】

本実施形態では、図 7 (b) に示す工程において、ポリシリコン層 2 3 a すなわち第 2 導体層 1 0 2 を、厚み寸法について高精度に成膜することができる。したがって、本実施形態によると、絶縁層 1 0 4 、 1 0 5 の間において予め厚み寸法が高精度に規定されている第 2 導体層 1 0 2 から、トーションバー 1 4 1 、 1 5 1 を、厚み寸法について高精度に成形することができるのである。

【 0 0 9 9 】

本実施形態において形成されるミラー部 M は、第 3 導体層 1 0 3 に由来する部位と、第 2 導体層 1 0 2 に由来してトーションバー T 1 に連続する部位とを有し、これら 2 つの部位は、プラグ P 5 を介して電氣的に接続している。内フレーム F 1 は、第 3 導体層 1 0 3 に由来する部位すなわち上層部 1 2 1 と、第 2 導体層

1 0 2 に由来してトーションバー T 1 に連続する部位とを有し、これら 2 つの部位は、プラグ P 6 を介して電氣的に接続している。したがって、ミラー部 M (ミラー部 1 1 0) と内フレーム F 1 (内フレーム 1 2 0) の上層部 1 2 1 とは、トーションバー T 1 (トーションバー 1 4 1) によって電氣的に接続されている。

【 0 1 0 0 】

本実施形態により形成される、内フレーム F 2 および外フレーム F 3 の間の電氣的接続態様、および、そのバリエーションについては、第 1 の実施形態に関して上述したのと同様である。したがって、本実施形態により製造されるマイクロミラー素子 X 1 においては、外フレーム 1 3 0 から内フレーム 1 2 0 に対して、複数の電位伝達が可能となり、各櫛歯電極に対して付与すべき電位の大きさを、個別に制御することが可能となる。その結果、本実施形態により製造されるマイクロミラー素子 X 1 においても、複雑な動作を適切に実現することが可能となる。

【 0 1 0 1 】

図 1 1 (a) ~ 図 1 4 (d) は、本発明の第 3 の実施形態に係るマイクロ構造体製造方法における一連の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子 X 1 を製造するための一手法である。図 1 1 (a) ~ 図 1 4 (d) においては、図 3 (a) ~ 図 6 (c) と同様に、モデル化した一の断面によって、ミラー部 M、トーションバー T 1、内フレーム F 1、一組の櫛歯電極 E 1、E 2、トーションバー T 2、内フレーム F 2、トーションバー T 3、および、外フレーム F 3 の形成過程を表す。また、本実施形態では、第 2 の実施形態と同様に、アライメントマーク AM 3 の形成過程についても、モデル化断面において表す。

【 0 1 0 2 】

本実施形態では、まず、図 1 1 (a) および図 1 1 (b) に示すように、第 2 の実施形態において図 7 (a) および図 7 (b) を参照して上述したのと同様の工程を経る。

【 0 1 0 3 】

次に、ポリシリコン層 2 3 a、2 3 b の上に例えば 1 μ m の厚みを有する酸化

膜 3 1 を成膜した後、図 1 1 (c) に示すように、ポリシリコン層 2 3 a 上の酸化膜 3 1 をパターンニングして酸化膜パターン 3 2 を形成する。酸化膜パターン 3 2 は、図 1 1 (d) に示す工程において、櫛歯電極 E 2 へと加工される箇所をマスクするためのものである。

【 0 1 0 4 】

次に、図 1 1 (d) に示すように、酸化膜パターン 3 2 をマスクとして、D R I E により、ポリシリコン層 2 3 a およびシリコン基板 2 1 に対して、櫛歯電極 E 2 の厚みに相当する深さまでエッチング処理を行う。

【 0 1 0 5 】

次に、図 1 2 (a) に示すように、酸化膜パターン 3 2 の上方から、C V D 法により、更に酸化シリコンよりなる酸化膜を成膜する。これにより、前工程で成形された櫛歯電極 E 2 の表面が酸化膜 3 2' により被覆される。

【 0 1 0 6 】

次に、図 1 2 (b) に示すように、片面に酸化膜 3 3 が成膜されたシリコン基板 3 4 を用意する。酸化膜 3 3 は、熱酸化法によりシリコン基板 3 4 上に形成されたものである。

【 0 1 0 7 】

次に、図 1 2 (c) に示すように、シリコン基板 3 4 を、酸化膜 3 3 を介して酸化膜 3 2 の上に加熱接合する。酸化膜 3 2 と酸化膜 3 3 は、一体となって酸化膜 3 5 となる。

【 0 1 0 8 】

次に、図 1 2 (d) に示すように、シリコン基板 3 4 に対して酸化膜 3 5 に至る貫通孔を形成した後、酸化膜 3 5 に対して導電連絡部用の開口部 3 5 a, 3 5 b を形成する。シリコン基板 3 4 における貫通孔は、所定のレジストパターンをマスクとする D R I E により形成する。開口部 3 5 a, 3 5 b は、B H F に素子を浸漬して、酸化膜 3 5 において露出する部分をエッチング除去することによって形成する。このとき、ポリシリコン層 2 3 b 上の酸化膜 3 1 も除去される。

【 0 1 0 9 】

次に、図 1 3 (a) に示すように、ポリシリコン層 3 6 およびプラグ P 5, P

6を形成する。これらの形成においては、まず、例えばCVD法により、シリコン基板34上および開口部35a、35b内に、ポリシリコン膜（例えば1 μ m）を成膜する。次に、例えばCVD法により、当該ポリシリコン膜上にリンシリケートガラス（PSG）膜（例えば1 μ m）を成膜し、続いて熱処理を行う。これにより、導電機能を有するプラグP5、P6の形成が可能となる。次に、開口部35a、35bに連通するシリコン基板34の貫通孔を、ポリシリコンをエピタキシャル成長させることによって填塞する。次に、貫通孔外にてエピタキシャル成長したポリシリコンを研磨して除去する。本工程を経た材料基板においては、シリコン基板34とポリシリコン層23aとは、電氣的に接続している。

【0110】

本工程を経ることによって、シリコン基板21およびポリシリコン層23bよりなる第1導体層101と、ポリシリコン層23aよりなる第2導体層102と、シリコン基板34およびポリシリコン層36よりなる第3導体層103と、第1導体層および第2導体層の間に介在する酸化膜パターン22（第1絶縁層104）と、第2導体層および第3導体層の間に介在する酸化膜35（第2絶縁層105）とからなる積層構造を有する材料基板が形成される。

【0111】

次に、図13（b）に示すように、第1導体層101上に配線37（図1および図2において図示せず）を形成するとともに、第3導体層103上にミラー面111を形成する。具体的には、第2の実施形態において図8（d）を参照して上述したのと同様である。

【0112】

次に、図13（c）に示すように、第1導体層101および第3導体層103に対して、酸化膜パターン38を形成し、且つ、第1導体層101に対してレジストパターン39を形成する。第3導体層103上の酸化膜パターン38は、図13（d）に示す工程にて、第3導体層103においてミラー部M、内フレームF1、櫛歯電極E1、内フレームF2、および、外フレームF3へと加工される箇所をマスクするためのものである。第1導体層101上の酸化膜パターン38は、図14（a）および図14（b）に示す工程にて、第1導体層101におい

て外フレームF 3 へと加工される箇所をマスクするためのものである。レジストパターン3 9 は、図1 4 (a) に示す工程にて、第1 導体層1 0 1 において櫛歯電極E 2 および内フレームF 2 へと加工される箇所に対応する箇所をマスクするためのものである。

【 0 1 1 3 】

次に、図1 3 (d) に示すように、第3 導体層1 0 3 に対して、酸化膜パターン3 8 をマスクとして、D R I E により第2 絶縁層1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部M の一部、内フレームF 1 の一部、櫛歯電極E 1 、内フレームF 2 の一部、および、外フレームF 3 の一部が成形される。

【 0 1 1 4 】

次に、図1 4 (a) に示すように、第2 絶縁層1 0 5 の上位に犠牲膜2 0 を形成した後に、D R I E により、レジストパターン3 9 をマスクとして、第1 導体層1 0 1 に対して所定の深さまでエッチング処理を行う。

【 0 1 1 5 】

次に、レジストパターン3 9 を剥離した後に、図1 4 (b) に示すように、第1 導体層1 0 1 の側から第2 絶縁層1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部M の一部、トーションバーT 1 、内フレームF 1 の一部、櫛歯電極E 2 、トーションバーT 2 、内フレームF 2 の一部、トーションバーT 3 、および、外フレームF 3 の一部が成形される。本工程におけるエッチング処理中には、櫛歯電極E 2 は、酸化膜3 2 ' に被覆保護される。また、内フレームF 2 には、第1 の実施形態と同様のプラグP 3 が形成される。同様に、外フレームF 3 には、プラグP 4 が形成される。

【 0 1 1 6 】

次に、図1 4 (c) に示すように、第1 の実施形態において図6 (b) を参照して上述したのと同様に、犠牲層2 0 を除去する。

【 0 1 1 7 】

次に、図1 4 (d) に示すように、エッチング液に素子を浸漬することによって、露出している第1 絶縁層1 0 4 、第2 絶縁層1 0 5 、酸化膜パターン3 8 、および、櫛歯電極E 2 を保護していた酸化膜3 2 ' をエッチング除去する。

【0118】

以上の一連の工程を経ることによって、ミラー部M、トーションバーT1、内フレームF1、櫛歯電極E1、E2、トーションバーT2、内フレームF2、トーションバーT3、および、外フレームF3が形成される。すなわち、図1および図2に示すマイクロミラー素子X1が製造される。

【0119】

本実施形態では、図11(b)に示す工程において、ポリシリコン層23aすなわち第2導体層102を、厚み寸法について高精度に成膜することができる。したがって、本実施形態によると、絶縁層104、105の間において予め厚み寸法が高精度に規定されている第2導体層102から、トーションバー141、151を、厚み寸法について高精度に成形することができるのである。

【0120】

本実施形態において形成されるミラー部Mおよび内フレームF2の間の電氣的接続態様については、第2の実施形態に関して上述したのと同様である。したがって、ミラー部M（ミラー部110）と内フレームF1（内フレーム120）の上層部121とは、トーションバーT1（トーションバー141）によって電氣的に接続されている。

【0121】

本実施形態により形成される、内フレームF2および外フレームF3の間の電氣的接続態様、および、そのバリエーションについては、第1の実施形態に関して上述したのと同様である。したがって、本実施形態により製造されるマイクロミラー素子X1においては、外フレーム130から内フレーム120に対して、複数の電位伝達が可能となり、各櫛歯電極に対して付与すべき電位の大きさを、個別に制御することが可能となる。その結果、本実施形態により製造されるマイクロミラー素子X1においても、複雑な動作を適切に実現することが可能となる。

【0122】

また、本実施形態では、櫛歯電極E2は、シリコン基板21において予め埋め込み形成される。そのため、外フレームF3の下層部132よりも厚み寸法の短

い櫛歯電極E2を精度よく形成することができる。

【0123】

図15(a)～図17(d)は、本発明の第4の実施形態に係るマイクロ構造体製造方法における一連の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子X1を製造するための一手法である。図15(a)～図17(d)においては、図3(a)～図6(c)と同様に、モデル化した一の断面によって、ミラー部M、トーションバーT1、内フレームF1、一組の櫛歯電極E1、E2、トーションバーT2、内フレームF2、トーションバーT3、および、外フレームF3の形成過程を表す。また、図15(a)～図17(a)においては、当該モデル化断面とともに、ウエハの端部付近におけるアライメントマーク形成部位の断面を表す。

【0124】

本実施形態では、まず、図15(a)に示すように、SOI(Silicon on Insulator)基板40に対して、酸化膜パターン44を形成する。SOI基板40は、相対的に厚いシリコン層41と、相対的に薄いシリコン層42と、これらに挟まれた酸化膜43とからなる積層構造を有する。

【0125】

シリコン層41、42は、PやSbをドーピングすることによって導電性が付与されたシリコンよりなる。酸化膜43は、熱酸化法により、シリコン層41またはシリコン層42の表面に成長形成された酸化シリコンよりなる。酸化膜43の成膜手段としては、熱酸化法に代えて、CVD法を採用してもよい。酸化膜43の成長形成の後、シリコン層41とシリコン層42とが接合されてSOI基板40が作製される。本実施形態では、例えば、シリコン層41の厚みは例えば150 μ mであり、シリコン層42の厚みは例えば5 μ mであり、酸化膜43の厚みは例えば1 μ mである。

【0126】

酸化膜パターン44は、シリコン層42上に、熱酸化法により酸化シリコンよりなる酸化膜を成長させ、これをパターニングすることによって形成する。酸化膜パターン44は、図15(b)および図17(b)に示す工程において、主に

トーションバー T1～T3 をマスクするためのものである。また、本工程においては、シリコン層 4 2 上にアライメントマーク AM4 が形成される。

【 0 1 2 7 】

次に、図 1 5 (b) に示すように、酸化膜パターン 4 4 をマスクとして、DRIE により、シリコン層 4 2 に対して酸化膜 4 3 に至るまでエッチング処理を行う。次に、図 1 5 (c) に示すように、所定のレジストパターンをマスクとして、酸化膜 4 3 の所定の箇所に、導電連絡部用の開口部 4 3 a , 4 3 b を形成する。次に、CVD 法により、SOI 基板 4 0 に対してポリシリコンを成膜することによって、図 1 5 (d) に示すように、ポリシリコン層 4 5 a , 4 5 b を形成する。このとき、当該ポリシリコンにより、酸化膜パターン 4 3 の開口部 4 3 a , 4 3 b は填塞される。ポリシリコン層 4 5 a , 4 5 b は、CVD 時にポリシリコンに P をドーピングすることによって導電性が付与されており、約 1 μ m の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 4 5 a およびシリコン層 4 2 と、シリコン層 4 1 およびポリシリコン層 4 5 b とは、電氣的に接続している。

【 0 1 2 8 】

次に、図 1 6 (a) に示すように、エピタキシャル成長法により、ポリシリコン層 4 5 a の上にポリシリコン層 4 6 を形成する。本実施形態では、ポリシリコン層 4 6 は、エピタキシャル成長時にポリシリコンに P をドーピングすることによって導電性が付与されており、ポリシリコン層 4 5 a の表面から約 1 3 0 μ m の厚みを有する。本固定では、ポリシリコン層 4 6 の表面には、比較的大きな凹凸が形成されてしまう。

【 0 1 2 9 】

次に、図 1 6 (b) に示すように、ポリシリコン層 4 6 の表面を研削およびそれに続いて鏡面研磨する。これにより、酸化膜パターン 4 4 上のポリシリコン層 4 5 a およびポリシリコン層 4 6 の総厚を 5 0 μ m とする。

【 0 1 3 0 】

本工程を経ることによって、ポリシリコン層 4 5 a およびポリシリコン層 4 6 よりなる第 1 導体層 1 0 1 と、シリコン層 4 2 およびポリシリコン層 4 5 a より

なる第2導体層102と、シリコン層41およびポリシリコン層45bよりなる第3導体層103と、第1導体層および第2導体層の間に介在する酸化膜パターン44（第1絶縁層104）と、第2導体層および第3導体層の間に介在する酸化膜43（第2絶縁層105）とからなる積層構造を有する材料基板が形成される。

【0131】

次に、図16（c）に示すように、アライメントマークAM4を露出させる。具体的には、第1導体層101の側から、所定のレジストパターンをマスクとして、DRIEにより、第2絶縁層105に至るまでエッチング処理を行う。図16（c）以降の図においては、図の簡潔化の観点より、ポリシリコン層46に入り込むポリシリコン層45aは図示しない。

【0132】

次に、図16（d）に示すように、第1導体層101上にミラー面111を形成するとともに、第3導体層103上に配線47（図1および図2において図示せず）形成する。具体的には、第1の実施形態において図4（d）を参照して上述したのと略同様である。

【0133】

次に、図17（a）に示すように、第1導体層101に対して酸化膜パターン48を形成し、且つ、第3導体層103に対して酸化膜パターン49を形成する。酸化膜パターン48は、図17（b）に示す工程にて、第1導体層101においてミラー部M、内フレームF1、櫛歯電極E1、内フレームF2、および、外フレームF3へと加工される箇所をマスクするためのものである。ただし、酸化膜パターン48は、内フレームF2、および、外フレームF3へと加工される箇所をマスクする部位に、各々、開口部48a、48bを有する。酸化膜パターン49は、図17（c）に示す工程にて、第3導体層103において、櫛歯電極E2、内フレームF2、および、外フレームF3へと加工される箇所をマスクするためのものである。

【0134】

次に、図17（b）に示すように、第1導体層101の側から、酸化膜パター

ン 4 8 をマスクとして、D R I E により第 3 導体層 1 0 3 が数 μ m 掘れるまでエッチング処理を行う。これによって、ミラー部 M の一部、トーションバー T 1、内フレーム F 1 の一部、櫛歯電極 E 1、トーションバー T 2、内フレーム F 2 の一部、および、外フレーム F 3 の一部が成形される。このとき、ミラー部 M および内フレーム F 1 において、各々、導電連絡部としてのプラグ P 7 およびプラグ P 8 が形成される。これとともに、内フレーム F 2 および外フレーム F 3 において、各々、導電連絡部としてのプラグ P 9 およびプラグ P 1 0 が形成される。

【 0 1 3 5 】

次に、図 1 7 (c) に示すように、第 2 絶縁層 1 0 5 の上位に犠牲膜 2 0 を形成した後に、D R I E により、レジストパターン 4 9 をマスクとして、第 3 導体層 1 0 3 に対して、第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部 M の一部、内フレーム F 1 の一部、櫛歯電極 E 2、内フレーム F 2 の一部、および、外フレーム F 3 の一部が成形される。

【 0 1 3 6 】

次に、第 1 の実施形態において図 6 (b) を参照して上述したのと同様に犠牲層 2 0 を除去した後、図 1 7 (d) に示すように、エッチング液に素子を浸漬することによって、露出している第 1 絶縁層 1 0 4、第 2 絶縁層 1 0 5、および、酸化膜パターン 4 8、4 9 をエッチング除去する。

【 0 1 3 7 】

以上の一連の工程を経ることによって、ミラー部 M、トーションバー T 1、内フレーム F 1、櫛歯電極 E 1、E 2、トーションバー T 2、内フレーム F 2、トーションバー T 3、および、外フレーム F 3 が形成される。すなわち、図 1 および図 2 に示すマイクロミラー素子 X 1 が製造される。

【 0 1 3 8 】

本実施形態では、図 1 5 (a) に示す工程において使用する S O I 基板 4 0 において、シリコン層 4 2 すなわち第 2 導体層 1 0 2 を、薄膜形成技術により、厚み寸法について高精度に形成しておくことができる。したがって、本実施形態によると、絶縁層 1 0 4、1 0 5 の間において予め厚み寸法が高精度に規定されている第 2 導体層 1 0 2 から、トーションバー 1 4 1、1 5 1 を、厚み寸法につい

て高精度に成形することができるのである。

【 0 1 3 9 】

本実施形態において形成されるミラー部Mは、第1導体層101に由来する部位と、第2導体層102に由来してトーションバーT1に連続する部位とを有し、これら2つの部位は、プラグP7を介して電氣的に接続している。内フレームF1は、第1導体層101に由来する部位すなわち上層部121と、第2導体層102に由来してトーションバーT1に連続する部位とを有し、これら2つの部位は、プラグP8を介して電氣的に接続している。したがって、ミラー部M（ミラー部110）と内フレームF1（内フレーム120）の上層部121とは、トーションバーT1（トーションバー141）によって電氣的に接続されている。

【 0 1 4 0 】

また、内フレームF2は、第2導体層102に由来してトーションバーT3に連続する部位と、第3導体層103に由来する部位すなわち下層部122とを有し、これら2つの部位は、プラグP9を介して電氣的に接続している。外フレームF3は、第2導体層102に由来してトーションバーT3に連続する部位と、第3導体層103に由来する部位すなわち下層部132とを有し、これら2つの部位は、プラグP10を介して電氣的に接続している。したがって、内フレームF2（内フレーム120）の下層部122と、外フレームF3（外フレーム130）の下層部132とは、トーションバーT3（トーションバー151）によって電氣的に接続されている。本実施形態により形成される、内フレームF2および外フレームF3の間の電氣的接続態様のバリエーションについては、第1の実施形態に関して上述したのと略同様である。したがって、本実施形態により製造されるマイクロミラー素子X1においては、外フレーム130から内フレーム120に対して、複数の電位伝達が可能となり、各櫛歯電極に対して付与すべき電位の大きさを、個別に制御することが可能となる。その結果、本実施形態により製造されるマイクロミラー素子X1においても、複雑な動作を適切に実現することが可能となる。

【 0 1 4 1 】

また、本実施形態では、櫛歯電極E2は、外フレームF3の下層部132と同

じ厚み寸法を有する。したがって、櫛歯電極E2を成形するためのエッチング深度は浅くて済み、厚み寸法について櫛歯電極E2を精度よく形成することができる。

【0142】

図18(a)～図21(d)は、本発明の第5の実施形態に係るマイクロ構造体製造方法における一連の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子X1を製造するための一手法である。図18(a)～図21(d)においては、図3(a)～図6(c)と同様に、モデル化した一の断面によって、ミラー部M、トーションバーT1、内フレームF1、一組の櫛歯電極E1、E2、トーションバーT2、内フレームF2、トーションバーT3、および、外フレームF3の形成過程を表す。また、図18(a)～図21(a)においては、当該モデル化断面とともに、ウエハの端部付近におけるアライメントマーク形成部位の断面を表す。

【0143】

本実施形態では、まず、図18(a)に示すように、SOI基板50に対して、酸化膜パターン54を形成する。SOI基板50は、相対的に厚いシリコン層51と、相対的に薄いシリコン層52と、これらに挟まれた酸化膜53とからなる積層構造を有する。シリコン層51、52は、PやSbをドーピングすることによって導電性が付与されたシリコンよりなる。酸化膜53は酸化シリコンよりなる。SOI基板50は、第4の実施形態におけるSOI基板40と同様にして作製されたものである。本実施形態では、シリコン層52の厚みは例えば5 μ mであり、酸化膜53の厚みは例えば1 μ mである。

【0144】

酸化膜パターン54は、シリコン層42上に、熱酸化法により酸化シリコンよりなる酸化膜を成長させ、これをパターニングすることによって形成する。酸化膜パターン44は、図18(b)および図21(b)に示す工程において、主にトーションバーT1～T3をマスクするためのものである。また、本工程においては、シリコン層52上にアライメントマークAM5が形成される。

【0145】

次に、図 1 8 (b) に示すように、酸化膜パターン 5 4 をマスクとして、D R I E により、シリコン層 5 2 に対して酸化膜 5 3 に至るまでエッチング処理を行う。次に、C V D 法により、S O I 基板 5 0 に対して、酸化膜パターン 5 4 の上方からポリシリコンを成膜することによって、図 1 8 (c) に示すように、ポリシリコン層 5 5 a を形成する。ポリシリコン層 5 5 a は、C V D 時にポリシリコンに P をドーピングすることによって導電性が付与されており、約 $1 \mu\text{m}$ の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 5 5 a とシリコン層 5 2 とは、電氣的に接続している。

【 0 1 4 6 】

次に、図 1 8 (d) に示すように、エピタキシャル成長法により、ポリシリコン層 5 5 a の上にポリシリコン層 5 5 b を形成する。本実施形態では、ポリシリコン層 5 5 b は、エピタキシャル成長時にポリシリコンに P をドーピングすることによって導電性が付与されており、ポリシリコン層 5 5 a の表面から約 $130 \mu\text{m}$ の厚みを有する。本工程では、ポリシリコン層 5 5 b の表面には、比較的大きな凹凸が形成されてしまう。

【 0 1 4 7 】

次に、図 1 9 (a) に示すように、ポリシリコン層 5 5 b の表面を研削およびそれに続いて鏡面研磨する。これにより、酸化膜パターン 5 4 上のポリシリコン層 5 5 a およびポリシリコン層 5 5 b の総厚を $50 \mu\text{m}$ とする。

【 0 1 4 8 】

次に、図 1 9 (b) に示すように、S O I 基板 5 0 のシリコン層 5 1 を研磨により除去する。図 1 9 (b) 以降の図においては、図の簡潔化の観点より、ポリシリコン層 5 5 b に入り込むポリシリコン層 5 5 a は図示しない。次に、図 1 9 (c) に示すように、酸化膜 5 3 に対して、所定のマスクを用いたエッチング処理により、導電連絡部用の開口部 5 3 a, 5 3 b を形成する。次に、C V D 法により、酸化膜 5 3 に対してポリシリコンを成膜することによって、図 1 9 (d) に示すように、ポリシリコン層 5 6 a を形成する。このとき、酸化膜 5 3 の開口部 5 3 a, 5 3 b がポリシリコンにより填塞されることによって、導電連絡部としてのプラグ P 1 1, P 1 2 が形成される。ポリシリコン層 5 6 a およびプラグ

P 1 1, P 1 2 は、C V D 時にポリシリコンに P をドーピングすることによって導電性が付与されており、ポリシリコン層 5 6 a は約 $1\ \mu\text{m}$ の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 5 6 a とシリコン層 5 2 とは、電氣的に接続している。

【 0 1 4 9 】

次に、図 2 0 (a) に示すように、エピタキシャル成長法により、ポリシリコン層 5 6 a 上にポリシリコン層 5 6 b を形成する。本実施形態では、ポリシリコン層 5 6 b は、エピタキシャル成長時にポリシリコンに P をドーピングすることによって導電性が付与されており、ポリシリコン層 5 6 a の表面から約 $130\ \mu\text{m}$ の厚みを有する。本工程では、ポリシリコン層 5 6 b の表面には、比較的大きな凹凸が形成されてしまう。

【 0 1 5 0 】

次に、図 2 0 (b) に示すように、ポリシリコン層 5 6 b の表面を研削およびそれに続いて鏡面研磨する。これにより、酸化膜 5 3 上のポリシリコン層 5 6 a およびポリシリコン層 5 6 b の総厚を $50\ \mu\text{m}$ とする。

【 0 1 5 1 】

本工程を経ることによって、ポリシリコン層 5 5 a およびポリシリコン層 5 5 b よりなる第 1 導体層 1 0 1 と、シリコン層 5 2 およびポリシリコン層 5 5 a よりなる第 2 導体層 1 0 2 と、ポリシリコン層 5 6 a およびポリシリコン層 5 6 b よりなる第 3 導体層 1 0 3 と、第 1 導体層および第 2 導体層の間に介在する酸化膜パターン 5 4 (第 1 絶縁層 1 0 4) と、第 2 導体層および第 3 導体層の間に介在する酸化膜 5 3 (第 2 絶縁層 1 0 5) とからなる積層構造を有する材料基板が形成される。

【 0 1 5 2 】

次に、図 2 0 (c) に示すように、アライメントマーク AM 5 を露出させる。具体的には、第 1 導体層 1 0 1 の側から、所定のレジストパターンをマスクとして、D R I E により、第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。次に、図 2 0 (d) に示すように、第 1 導体層 1 0 1 上にミラー面 1 1 1 を形成するとともに、第 3 導体層 1 0 3 上に配線 5 7 (図 1 および図 2 において図示せず)

形成する。具体的には、第 1 の実施形態において図 4 (d) を参照して上述したのと略同様である。

【 0 1 5 3 】

次に、図 2 1 (a) に示すように、第 1 導体層 1 0 1 に対して酸化膜パターン 5 8 を形成し、且つ、第 3 導体層 1 0 3 に対して酸化膜パターン 5 9 を形成する。酸化膜パターン 5 8 は、図 2 1 (b) に示す工程にて、第 1 導体層 1 0 1 および第 2 導体層 1 0 2 においてミラー部 M、内フレーム F 1、櫛歯電極 E 1、内フレーム F 2、および、外フレーム F 3 へと加工される箇所をマスクするためのものである。酸化膜パターン 4 9 は、図 2 1 (c) に示す工程にて、第 3 導体層 1 0 3 において、櫛歯電極 E 2 および内フレーム F 2、および、外フレーム F 3 へと加工される箇所をマスクするためのものである。

【 0 1 5 4 】

次に、図 2 1 (b) に示すように、第 1 導体層 1 0 1 に対して、酸化膜パターン 5 8 をマスクとして、DRIE により第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部 M の一部、トーションバー T 1、内フレーム F 1 の一部、櫛歯電極 E 1、トーションバー T 2、内フレーム F 2 の一部、および、外フレーム F 3 の一部が成形される。このとき、ミラー部 M および内フレーム F 1 において、各々、導電連絡部としてのプラグ P 7 およびプラグ P 8 が形成される。

【 0 1 5 5 】

次に、図 2 1 (c) に示すように、第 2 絶縁層 1 0 5 の上位に犠牲膜 2 0 を形成した後に、DRIE により、レジストパターン 5 9 をマスクとして、第 3 導体層 1 0 3 に対して、第 2 絶縁層 1 0 5 に至るまでエッチング処理を行う。これによって、ミラー部 M の一部、内フレーム F 1 の一部、櫛歯電極 E 2、内フレーム F 2 の一部、および、外フレーム F 3 の一部が成形される。

【 0 1 5 6 】

次に、第 1 の実施形態において図 6 (b) を参照して上述したのと同様に犠牲層 2 0 を除去した後、図 2 1 (d) に示すように、エッチング液に素子を浸漬することによって、露出している第 1 絶縁層 1 0 4、第 2 絶縁層 1 0 5、および、

酸化膜パターン 5 8, 5 9 をエッチング除去する。

【 0 1 5 7 】

以上の一連の工程を経ることによって、ミラー部 M、トーションバー T 1、内フレーム F 1、櫛歯電極 E 1, E 2、トーションバー T 2、内フレーム F 2、トーションバー T 3、および、外フレーム F 3 が形成される。すなわち、図 1 および図 2 に示すマイクロミラー素子 X 1 が製造される。

【 0 1 5 8 】

本実施形態では、図 1 8 (a) に示す工程において使用する S O I 基板 5 0 において、シリコン層 5 2 すなわち第 2 導体層 1 0 2 を、薄膜形成技術により、厚み寸法について高精度に形成しておくことができる。したがって、本実施形態によると、絶縁層 1 0 4, 1 0 5 の間において予め厚み寸法が高精度に規定されている第 2 導体層 1 0 2 から、トーションバー 1 4 1, 1 5 1 を、厚み寸法について高精度に成形することができるのである。

【 0 1 5 9 】

本実施形態により形成される、ミラー部 M および内フレーム F 2 の間の電氣的接続態様については、第 3 の実施形態に関して上述したのと同様である。また、内フレーム F 2 は、第 2 導体層 1 0 2 に由来してトーションバー T 3 に連続する部位と、第 3 導体層 1 0 3 に由来する部位すなわち下層部 1 2 2 とを有し、これら 2 つの部位は、プラグ P 1 1 を介して電氣的に接続している。外フレーム F 3 は、第 2 導体層 1 0 2 に由来してトーションバー T 3 に連続する部位と、第 3 導体層 1 0 3 に由来する部位すなわち下層部 1 3 2 とを有し、これら 2 つの部位は、プラグ P 1 2 を介して電氣的に接続している。したがって、内フレーム F 2 (内フレーム 1 2 0) の下層部 1 2 2 と、外フレーム F 3 (外フレーム 1 3 0) の下層部 1 3 2 とは、トーションバー T 3 (トーションバー 1 5 1) によって電氣的に接続されている。本実施形態により形成される、内フレーム F 2 および外フレーム F 3 の間の電氣的接続態様のバリエーションについては、第 1 の実施形態に関して上述したのと略同様である。したがって、本実施形態により製造されるマイクロミラー素子 X 1 においては、外フレーム 1 3 0 から内フレーム 1 2 0 に対して、複数の電位伝達が可能となり、各櫛歯電極に対して付与すべき電位の大

きさを、個別に制御することが可能となる。その結果、本実施形態により製造されるマイクロミラー素子X1においても、複雑な動作を適切に実現することが可能となる。

【0160】

また、本実施形態では、櫛歯電極E2は、外フレームF3の下層部132と同じ厚み寸法を有する。したがって、櫛歯電極E2を成形するためのエッチング深度は浅くて済み、厚み寸法について櫛歯電極E2を精度よく形成することができる。

【0161】

図22(a)～図23(c)は、本発明の第6の実施形態に係るマイクロ構造体製造方法における一部の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子X1を製造するための一手法である。図22(a)～図23(c)においては、図3(a)～図6(c)と同様に、モデル化した一の断面によって、ミラー部M、トーションバーT1、内フレームF1、一組の櫛歯電極E1、E2、トーションバーT2、内フレームF2、トーションバーT3、および、外フレームF3の形成過程を表す。また、図22(a)～図23(c)においては、当該モデル化断面とともに、ウエハの端部付近におけるアライメントマーク形成部位の断面を表す。

【0162】

本実施形態では、まず、図22(a)に示すように、シリコン基板61に対して、酸化膜パターン62を形成する。シリコン基板61は、PやSbをドーピングすることによって導電性が付与されたシリコンよりなるウエハである。酸化膜パターン62は、熱酸化法によりシリコン基板61上に成膜された酸化シリコン膜をパターニングすることによって形成される。本実施形態では、シリコン基板61の厚みは例えば150 μ mであり、酸化膜パターン62の厚みは例えば1 μ mである。酸化膜パターン62は、第5の実施形態の酸化膜パターン54と同様に主にトーションバーT1～T3をマスクするためのものである。また、本工程においては、シリコン基板61上にアライメントマークAM6が形成される。

【0163】

次に、図 2 2 (b) に示すように、酸化膜パターン 6 2 をマスクとして、D R I E により、シリコン基板 6 1 に対して、トーションバー T の厚みに相当する深さまでエッチング処理を行う。

【 0 1 6 4 】

次に、C V D 法により、シリコン基板 6 1 に対して、酸化膜パターン 6 2 の上方からポリシリコンを成膜することによって、図 2 2 (c) に示すように、ポリシリコン層 6 3 を形成する。ポリシリコン層 6 3 は、C V D 時にポリシリコンに P をドーピングすることによって導電性が付与されており、約 $1 \mu\text{m}$ の厚みを有する。本工程を経た材料基板においては、ポリシリコン層 6 3 とシリコン基板 6 1 とは、電氣的に接続している。

【 0 1 6 5 】

次に、図 2 2 (d) に示すように、エピタキシャル成長法により、ポリシリコン層 6 3 の上にポリシリコン層 6 4 を形成する。本実施形態では、ポリシリコン層 6 4 は、エピタキシャル成長時にポリシリコンに P をドーピングすることによって導電性が付与されており、ポリシリコン層 6 3 の表面から約 $130 \mu\text{m}$ の厚みを有する。本工程では、ポリシリコン層 6 4 の表面には、比較的大きな凹凸が形成されてしまう。

【 0 1 6 6 】

次に、図 2 3 (a) に示すように、ポリシリコン層 6 4 の表面を研削およびそれに続いて鏡面研磨する。これにより、酸化膜パターン 6 2 上のポリシリコン層 6 3 およびポリシリコン層 6 4 の総厚を $50 \mu\text{m}$ とする。

【 0 1 6 7 】

次に、図 2 3 (b) に示すように、シリコン基板 6 1 を研磨する。具体的には、ポリシリコン層 6 3 が現れ、且つ、トーションバー T 1 ~ T 3 が現れるまで、シリコン基板 6 1 を研磨する。図 2 3 (b) 以降の図においては、図の簡潔化の観点より、ポリシリコン層 6 4 に入り込むポリシリコン層 6 3 は図示しない。

【 0 1 6 8 】

次に、図 2 3 (c) に示すように、研磨表面に対して、酸化膜パターン 6 5 を形成する。具体的には、C V D 法により、当該研磨面に酸化シリコンよりなる酸

化膜を形成した後、これをパターニングすることによって、酸化膜パターン 6 5 を形成する。酸化膜パターン 6 5 は、導電連絡部用の開口部 6 5 a, 6 5 b を有する。

【 0 1 6 9 】

以降の工程については、第 5 の実施形態において図 1 9 (d) ~ 図 2 1 (d) を参照して上述した工程と同一である。したがって、本実施形態によると、第 5 の実施形態により製造されるのと同様の内部層構造を有するマイクロミラー素子 X 1 を製造することができる。

【 0 1 7 0 】

図 2 4 (a) ~ 図 2 8 (d) は、本発明の第 7 の実施形態に係るマイクロ構造体製造方法における一部の工程を表す。この方法も、マイクロマシニング技術によって上述のマイクロミラー素子 X 1 を製造するための一手法である。図 2 4 (a) ~ 図 2 8 (d) においては、モデル化した一の断面によって、図 2 8 (d) に示すミラー部 M、トーションバー T 1、内フレーム F 1、一組の櫛歯電極 E 1, E 2、トーションバー T 2、トーションバー T 3、内フレーム F 2、トーションバー T 4、および、外フレーム F 3 の形成過程を表す。上述の第 1 ~ 第 6 の実施形態とは異なり、トーションバー T 2 は、マイクロミラー素子 X 1 のトーションバー 1 4 1 に相当し、その延び方向に垂直な断面により表されている。また、トーションバー T 3 は、トーションバー 1 5 1 に相当し、その延び方向に垂直な断面により表されている。トーションバー T 4 は、トーションバー 1 5 1 に相当し、その延び方向に沿った断面により表されている。また、図 2 5 (a) ~ 図 2 7 (a) においては、当該モデル化断面とともに、ウエハの端部付近におけるアライメントマーク形成部位の断面を表す。

【 0 1 7 1 】

本実施形態では、まず、図 2 4 (a) に示すような S O I 基板 7 0 を用意する。S O I 基板 7 0 は、相対的に厚いシリコン層 7 1 と、相対的に薄いシリコン層 7 2 と、これらに挟まれた酸化膜 7 3 とからなる積層構造を有する。シリコン層 7 1, 7 2 は、P や S b をドーピングすることによって導電性が付与されたシリコンよりなる。酸化膜 7 3 は酸化シリコンよりなる。S O I 基板 7 0 は、第 4 の実施

形態における S O I 基板 4 0 と同様にして作製されたものである。本実施形態では、シリコン層 7 1 の厚みは例えば 3 0 0 μ m であり、シリコン層 7 2 の厚みは例えば 5 μ m であり、酸化膜 7 3 の厚みは例えば 1 μ m である。

【 0 1 7 2 】

次に、図 2 4 (b) に示すように、シリコン層 7 2 において、トーションバー 1 4 1 (T 1 , T 2) を成形する。具体的には、所定のレジストパターンをマスクとして、D R I E により、酸化膜 7 3 に至るまでエッチング処理を行なうことによって、トーションバー 1 4 1 を成形する。

【 0 1 7 3 】

次に、図 2 4 (c) に示すように、レジストパターン 7 4 を形成した後、D R I E、または、K O H 水溶液を使用する異方性エッチングにより、トーションバー T 1 , T 2 を若干量 (例えば 1 μ m) 削る。すなわち、トーションバー T 1 , T 2 を少しだけ薄くする。レジストパターン 7 4 は、トーションバー T 1 , T 2 以外のシリコン層 7 2 を覆っている。

【 0 1 7 4 】

次に、図 2 4 (d) に示すように、トーションバー T 1 , T 2 を、熱酸化法により形成された酸化シリコンよりなる酸化膜 7 5 により被覆する。

【 0 1 7 5 】

次に、図 2 5 (a) に示すように、シリコン層 7 2 に対して、レジスト膜 7 6 を積層形成する。シリコン層 7 2 が凹凸を有するので、レジスト膜 7 6 の形成においては、レジストスプレー (ノンコンタクトジェットディスペンサ) を使用するのが好ましい。

【 0 1 7 6 】

次に、レジスト膜 7 6 に対して、トーションバー T 1 , T 2 との位置合わせを正確に行いつつアライメントマーク形成用の開口部 7 6 a を形成した後、当該レジスト膜 7 6 をマスクとして、図 2 5 (b) に示すように、D R I E により酸化膜 7 3 に至るまでエッチング処理することによって、アライメントマーク A M 7 を形成する。

【 0 1 7 7 】

次に、図 2 5 (c) に示すように、BHF を作用させることにより、アライメントマーク形成部において前工程で露出した酸化膜 7 3 の一部を除去する。次に、図 2 5 (d) に示すように、アライメントマーク形成部において、更なる DRIE により、シリコン層 7 1 に対して所定の深さまでエッチング処理を行なう。

【 0 1 7 8 】

次に、図 2 6 (a) に示すように、SOI 基板 7 0 からレジスト膜 7 6 を除去する。次に、図 2 6 (b) に示すように、SOI 基板 7 0 のシリコン層 7 2 の側に対して、シリコン基板 7 7 を加熱接合する。シリコン基板 7 7 は、P や Sb をドーピングすることによって導電性が付与されたシリコンよりなり、例えば 1 5 0 μ m の厚みを有する。

【 0 1 7 9 】

本工程を経ることによって、シリコン基板 7 7 よりなる第 1 導体層 1 0 1 と、シリコン層 7 2 よりなる第 2 導体層 1 0 2 と、シリコン層 7 1 よりなる第 3 導体層 1 0 3 と、第 1 導体層および第 2 導体層の間に介在する酸化膜 7 5 (第 1 絶縁層 1 0 4) と、第 2 導体層および第 3 導体層の間に介在する酸化膜 7 3 (第 2 絶縁層 1 0 5) とからなる積層構造を有する材料基板が形成される。

【 0 1 8 0 】

次に、図 2 6 (c) に示すように、シリコン層 7 1 が所定の厚みとなるように、当該シリコン層 7 1 を研磨する。このとき、アライメントマーク AM 7 が第 3 導体層 1 0 3 の側に露出する。

【 0 1 8 1 】

次に、図 2 6 (d) に示すように、第 1 導体層 1 0 1 上にミラー面 1 1 1 を形成するとともに、第 3 導体層 1 0 3 上に配線 7 8 を形成する。具体的には、第 2 の実施形態において図 8 (d) を参照して上述したのと同様である。

【 0 1 8 2 】

次に、図 2 7 (a) に示すように、第 1 導体層 1 0 1 に対して酸化膜パターン 7 9 を形成し、且つ、第 3 導体層 1 0 3 に対して酸化膜パターン 8 0 およびレジストパターン 8 1 を形成する。酸化膜パターン 7 9 は、図 2 7 (b) に示す工程にて、第 1 導体層 1 0 1 および第 2 導体層 1 0 2 においてミラー部 M、内フレー

ムF 1、櫛歯電極E 1、内フレームF 2、および、外フレームF 3へと加工される箇所をマスクするためのものである。酸化膜パターン8 0は、図2 7 (c) および図2 8 (a) に示す工程にて、第3 導体層1 0 3において、櫛歯電極E 2 および内フレームF 2、および、外フレームF 3へと加工される箇所をマスクするためのものである。レジストパターン8 1は、図2 7 (c) に示す工程にて、トーションバーT 3、T 4へと加工される箇所に対応する箇所をマスクするためのものである。

【0 1 8 3】

次に、図2 7 (b) に示すように、第1 導体層1 0 1および第2 導体層1 0 2 に対して、酸化膜パターン7 9をマスクとして、D R I Eにより第2 絶縁層1 0 5に至るまでエッチング処理を行う。これによって、ミラー部Mの一部、トーションバーT 1、内フレームF 1の一部、櫛歯電極E 1、トーションバーT 2、内フレームF 2の一部、および、外フレームF 3の一部が成形される。

【0 1 8 4】

次に、図2 7 (c) に示すように、第2 絶縁層1 0 5の上位に犠牲膜2 0を形成した後に、D R I Eにより、酸化膜パターン8 0およびレジストパターン8 1をマスクとして、第3 導体層1 0 3に対して、トーションバーT 3、T 4の厚みに相当する深さまでエッチング処理を行う。次に、図2 7 (d) に示すように、レジストパターン8 1を除去する。

【0 1 8 5】

次に、図2 8 (a) に示すように、配線パターン8 0をマスクとして、第3 導体層1 0 3に対して、第2 絶縁層1 0 5に至るまでエッチング処理を行う。これによって、櫛歯電極E 2、トーションバーT 3、内フレームF 2の一部、トーションバーT 4、および、外フレームF 3の一部が成形される。

【0 1 8 6】

次に、図2 8 (b) に示すように、第1の実施形態において図6 (b)を参照して上述したのと同様に犠牲層2 0を除去する。次に、図2 8 (c) に示すように、エッチング液に素子を浸漬することによって、露出している第1 絶縁層1 0 4、第2 絶縁層1 0 5、および、酸化膜パターン7 9、8 0をエッチング除去す

る。

【0187】

以上の一連の工程を経ることによって、ミラー部M、トーションバーT1、内フレームF1、櫛歯電極E1、E2、トーションバーT2、トーションバーT3、内フレームF2、トーションバーT4、および、外フレームF3が形成される。すなわち、図1および図2に示すマイクロミラー素子X1が製造される。

【0188】

本実施形態では、図24(a)に示す工程において使用するSOI基板70において、シリコン層72すなわち第2導体層102を、薄膜形成技術により、厚み寸法について高精度に形成しておくことができる。したがって、本実施形態によると、絶縁層104、105の間において予め厚み寸法が高精度に規定されている第2導体層102から、トーションバー141を、厚み寸法について高精度に成形することができるのである。

【0189】

本実施形態により形成される、ミラー部M（ミラー部110）と内フレームF1（内フレーム120）の上層部121とは、図28(a)に表れているように、トーションバーT1によって機械的かつ電機的に接続されている。また、内フレームF2（内フレーム120）の下層部122と、外フレームF3（外フレーム130）の下層部132とは、図28(a)に表れているように、トーションバーT4によって機械的かつ電機的に接続されている。本実施形態においては、内フレームF2と外フレームF3との間にトーションバーT4に代えて、又はこれとともに、トーションバーT1と同様の工程を経て他のトーションバーを設けることによって、内フレームF2の上層部121と外フレームF3の上層部131とを電氣的に接続することができる。内フレームF2と外フレームF3とに接続するこのようなトーションバーを設ける場合、内フレームF2および外フレームF3の内部においては、当該トーションバーとトーションバーT4とが短絡しないような導電経路を形成する。このように、本実施形態により製造されるマイクロミラー素子X1においては、外フレーム130から内フレーム120に対して、複数の電位伝達が可能となり、各櫛歯電極に対して付与すべき電位の大きさ

を、個別に制御することが可能となる。その結果、本実施形態により製造されるマイクロミラー素子X1においても、複雑な動作を適切に実現することが可能となる。

【0190】

また、本実施形態では、櫛歯電極E2は、外フレームF3の下層部132と同じ厚み寸法を有する。したがって、櫛歯電極E2を成形するためのエッチング深度は浅くて済み、厚み寸法について櫛歯電極E2を精度よく形成することができる。

【図面の簡単な説明】

【図1】

本発明により製造することのできるマイクロ構造体の一例としてのマイクロミラー素子の斜視図である。

【図2】

図1に示すマイクロミラー素子の平面図である。

【図3】

本発明の第1の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図4】

図3に続く工程を表す。

【図5】

図4に続く工程を表す。

【図6】

図5に続く工程を表す。

【図7】

本発明の第2の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図8】

図7に続く工程を表す。

【図9】

図 8 に続く工程を表す。

【図 1 0】

図 9 に続く工程を表す。

【図 1 1】

本発明の第 3 の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図 1 2】

図 1 1 に続く工程を表す。

【図 1 3】

図 1 2 に続く工程を表す。

【図 1 4】

図 1 3 に続く工程を表す。

【図 1 5】

本発明の第 4 の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図 1 6】

図 1 5 に続く工程を表す。

【図 1 7】

図 1 6 に続く工程を表す。

【図 1 8】

本発明の第 5 の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図 1 9】

図 1 8 に続く工程を表す。

【図 2 0】

図 1 9 に続く工程を表す。

【図 2 1】

図 2 0 に続く工程を表す。

【図 2 2】

本発明の第 6 の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図 2 3】

図 2 2 に続く工程を表す。

【図 2 4】

本発明の第 7 の実施形態に係るマイクロミラー素子製造方法における一部の工程を表す。

【図 2 5】

図 2 4 に続く工程を表す。

【図 2 6】

図 2 5 に続く工程を表す。

【図 2 7】

図 2 6 に続く工程を表す。

【図 2 8】

図 2 7 に続く工程を表す。

【図 2 9】

従来の平板電極型マイクロミラー素子の分解斜視図である。

【図 3 0】

図 2 9 に示すマイクロミラー素子の傾斜態様の一例を表す。

【図 3 1】

従来の櫛歯電極型マイクロミラー素子の一部切欠斜視図である。

【図 3 2】

一組の櫛歯電極の配向を表す。

【符号の説明】

X 1 マイクロミラー素子
1 1 0, M ミラー部
1 2 0, F 1, F 2 内フレーム
1 3 0, F 3 外フレーム
1 4 0, 1 5 0 連結部

141, 151, T1~T4 トーションバー

101 第1導体層

102 第2導体層

103 第3導体層

104 第1絶縁層

105 第2絶縁層

E1, E2 櫛歯電極

P1~P12 プラグ

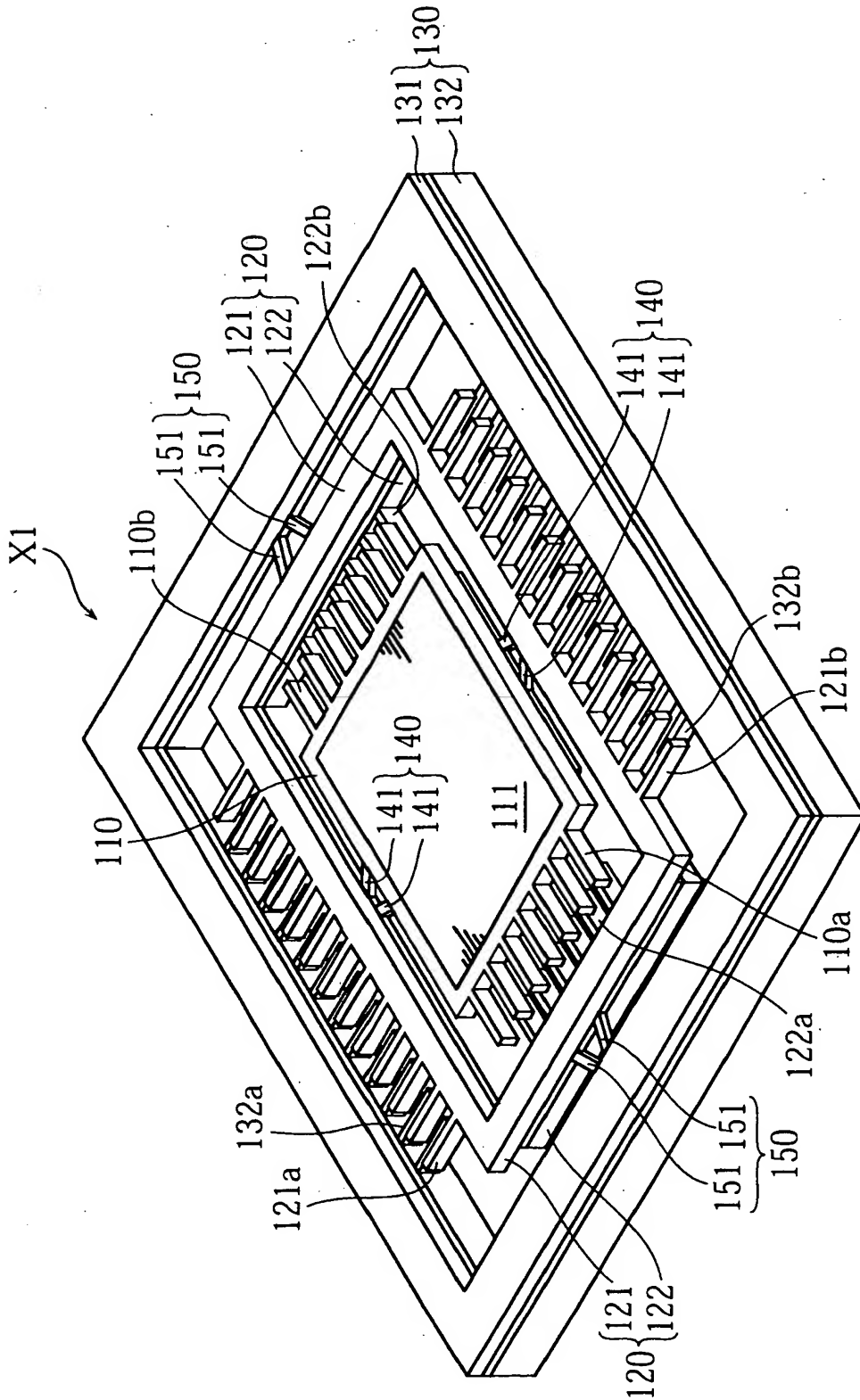
AM1~AM7 アライメントマーク

【書類名】

図面

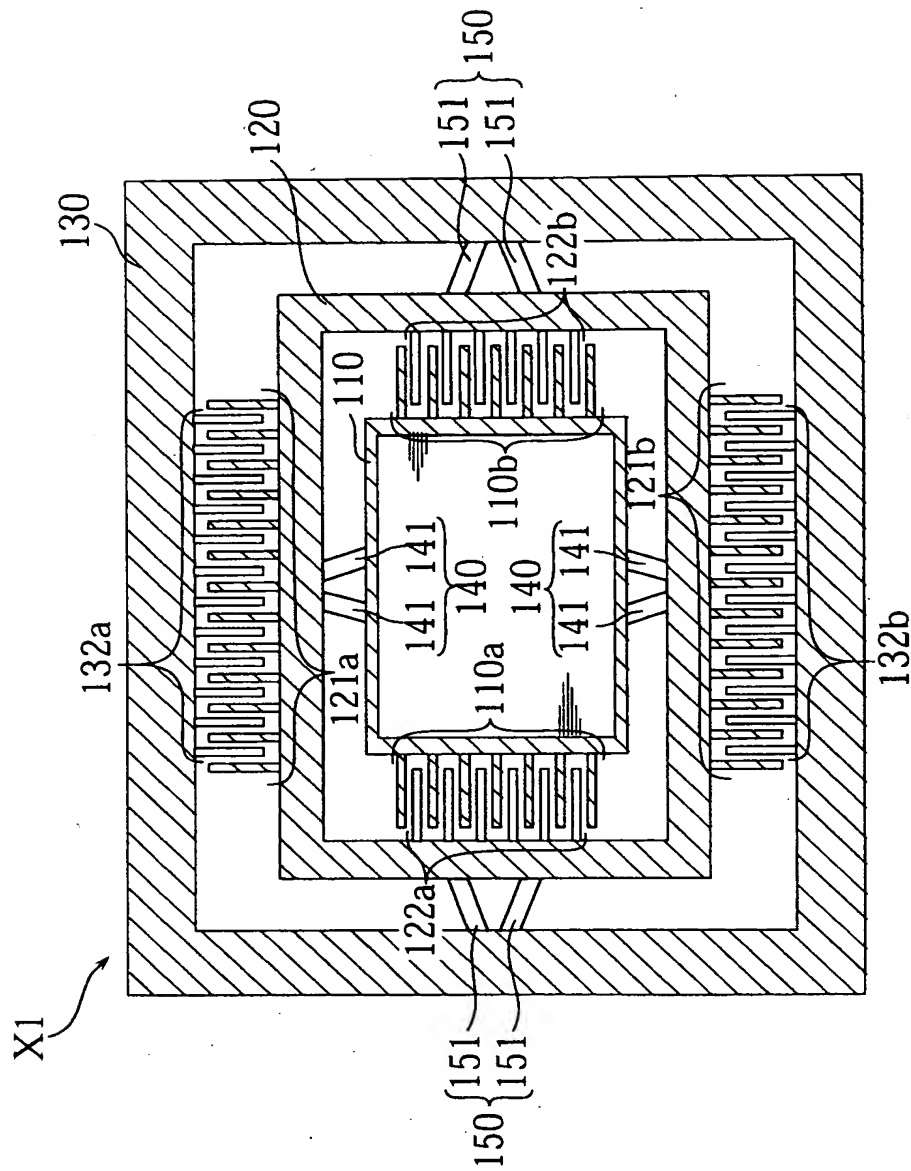
【図 1】

本発明により製造することのできるマイクロミラー素子



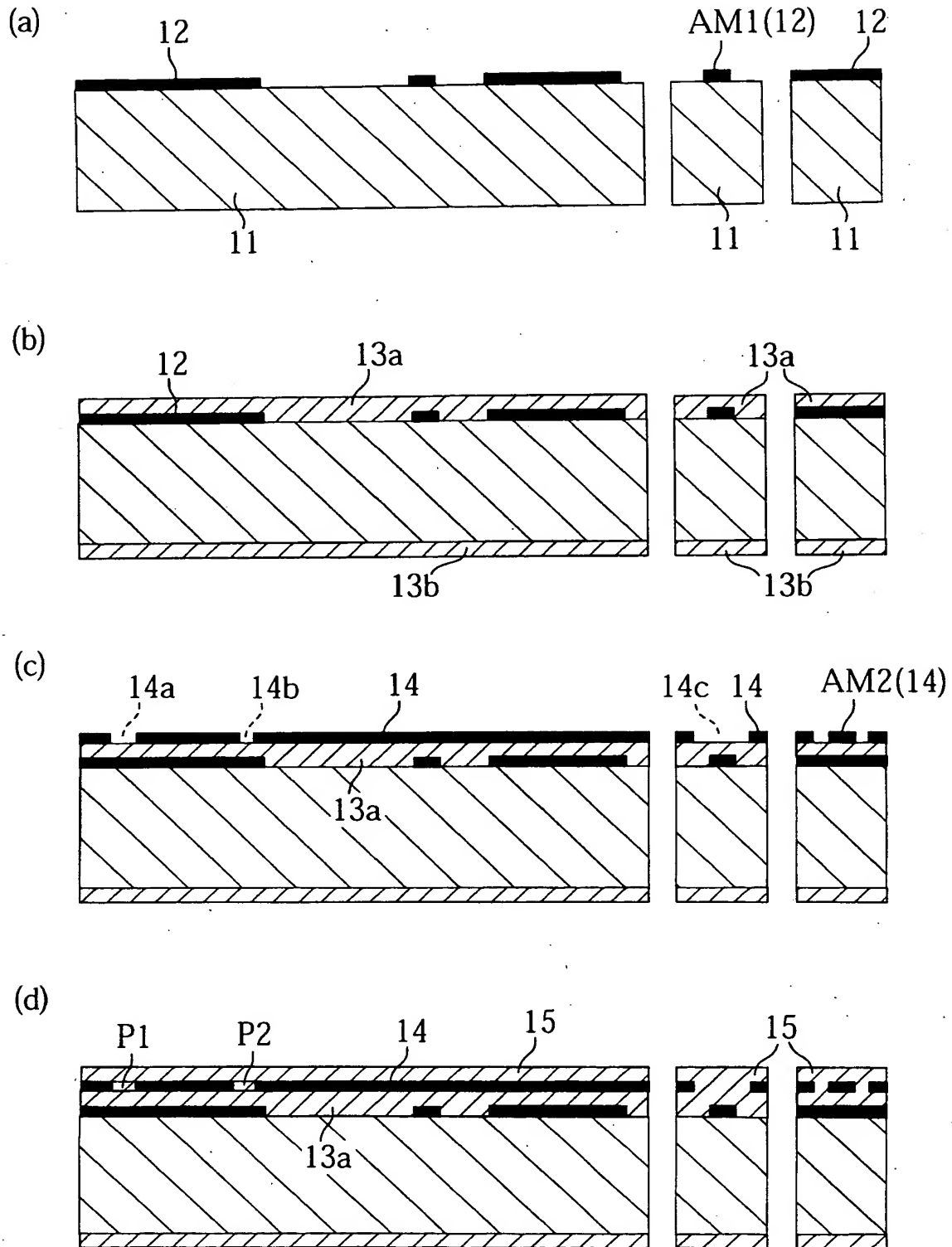
【図 2】

図 1 に示すマイクロミラー素子の平面図



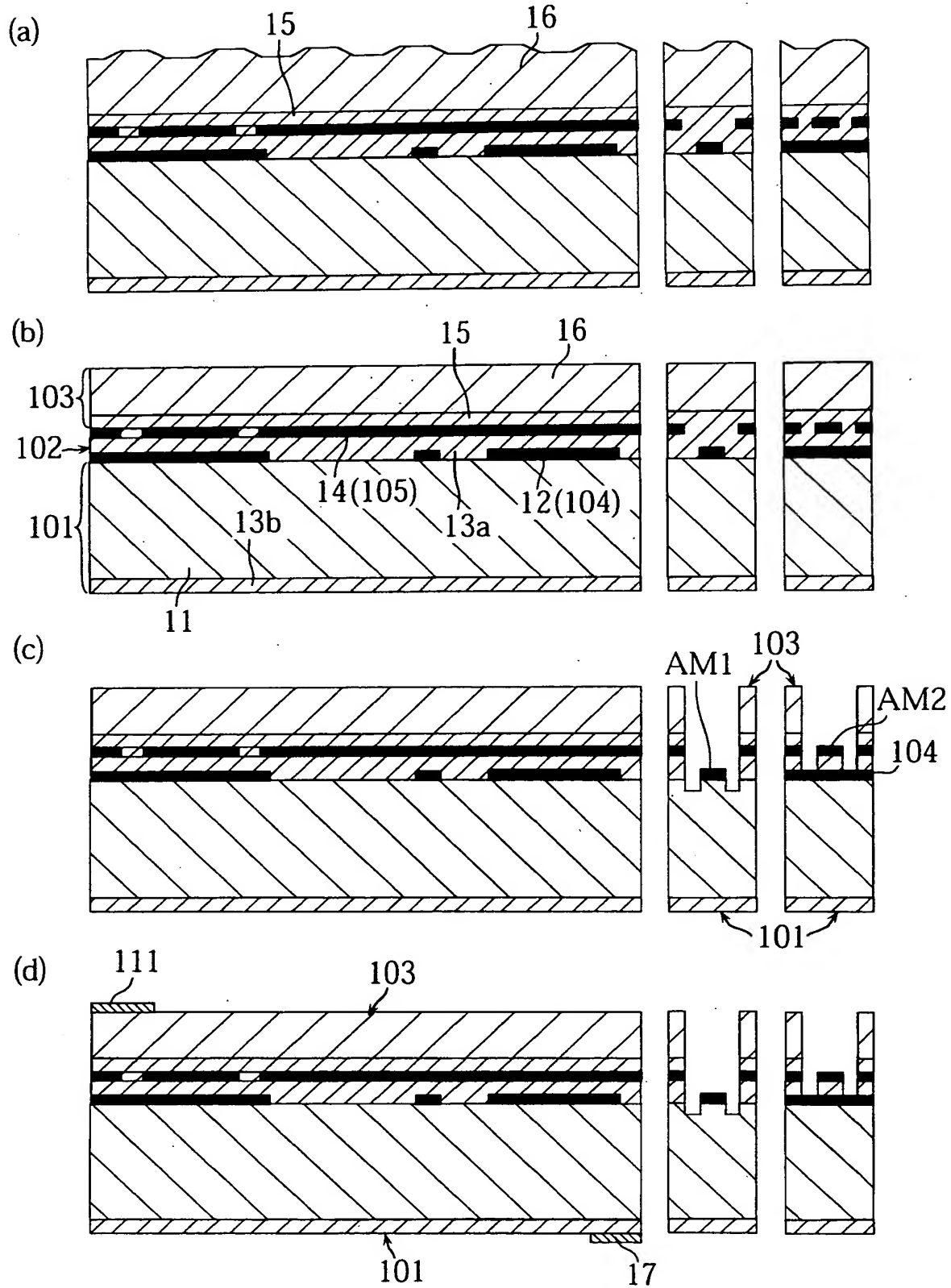
【図 3】

第 1 の実施形態に係る工程



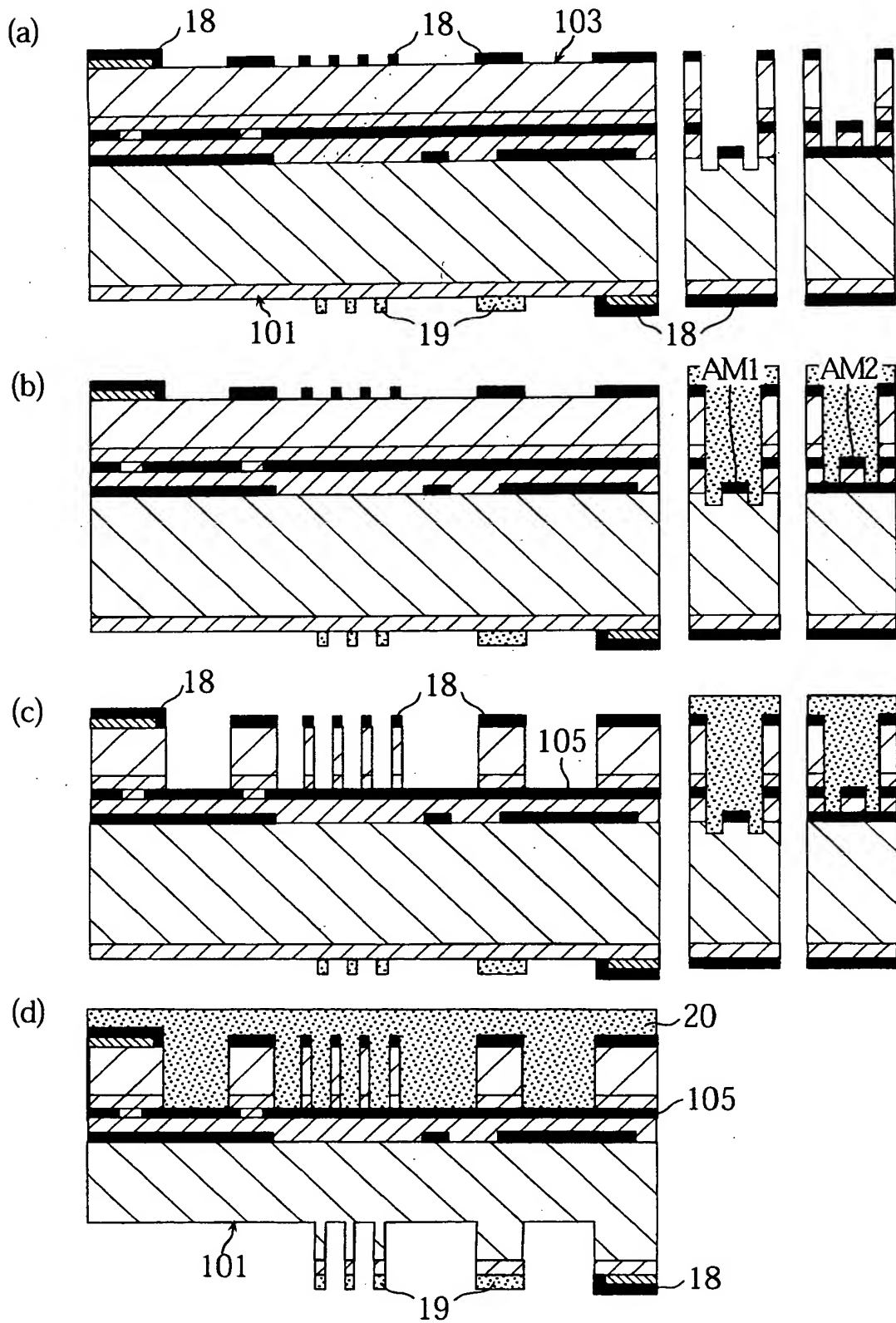
【図 4】

図 3 に続く工程



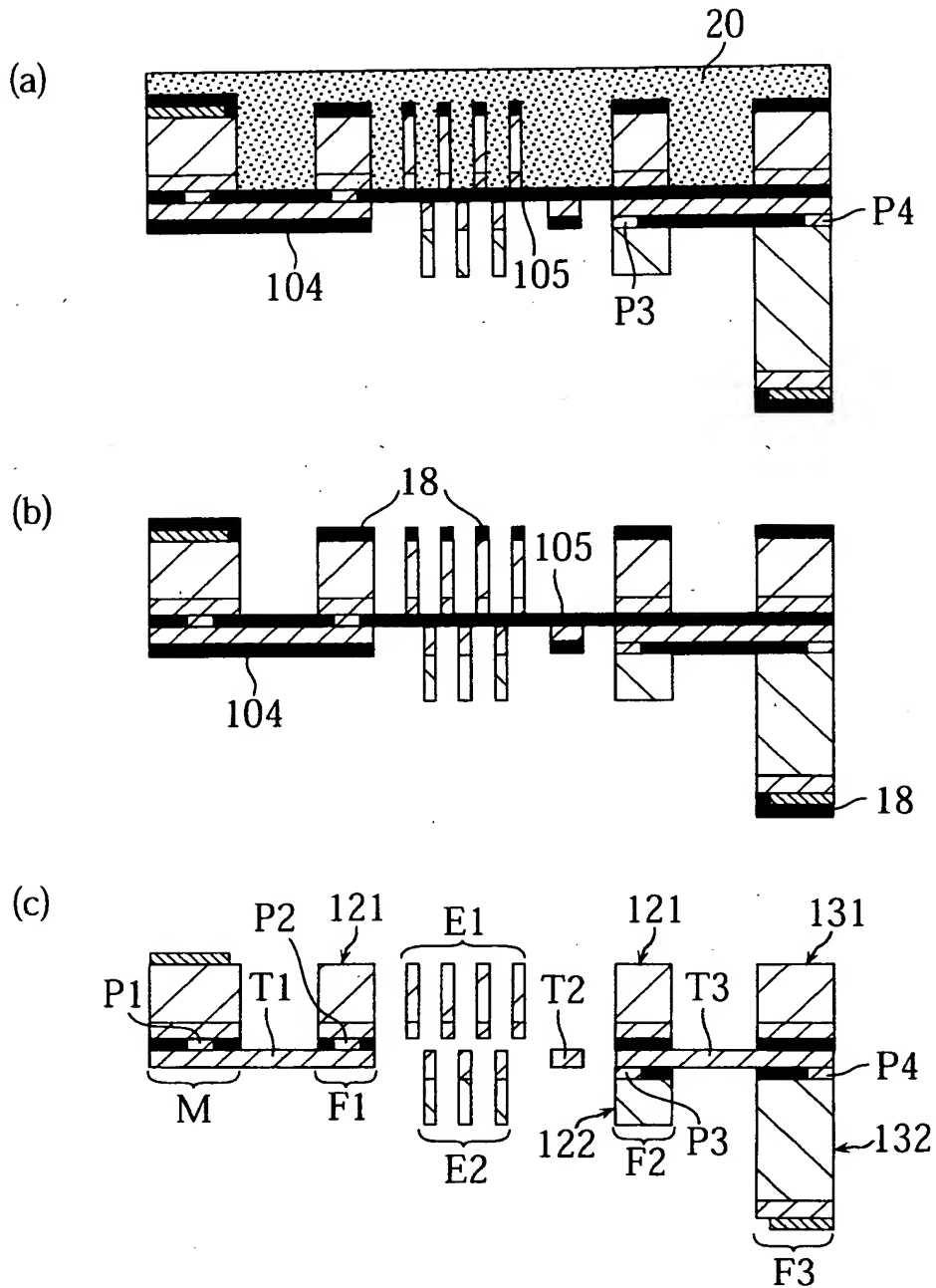
【図 5】

図 4 に続く工程



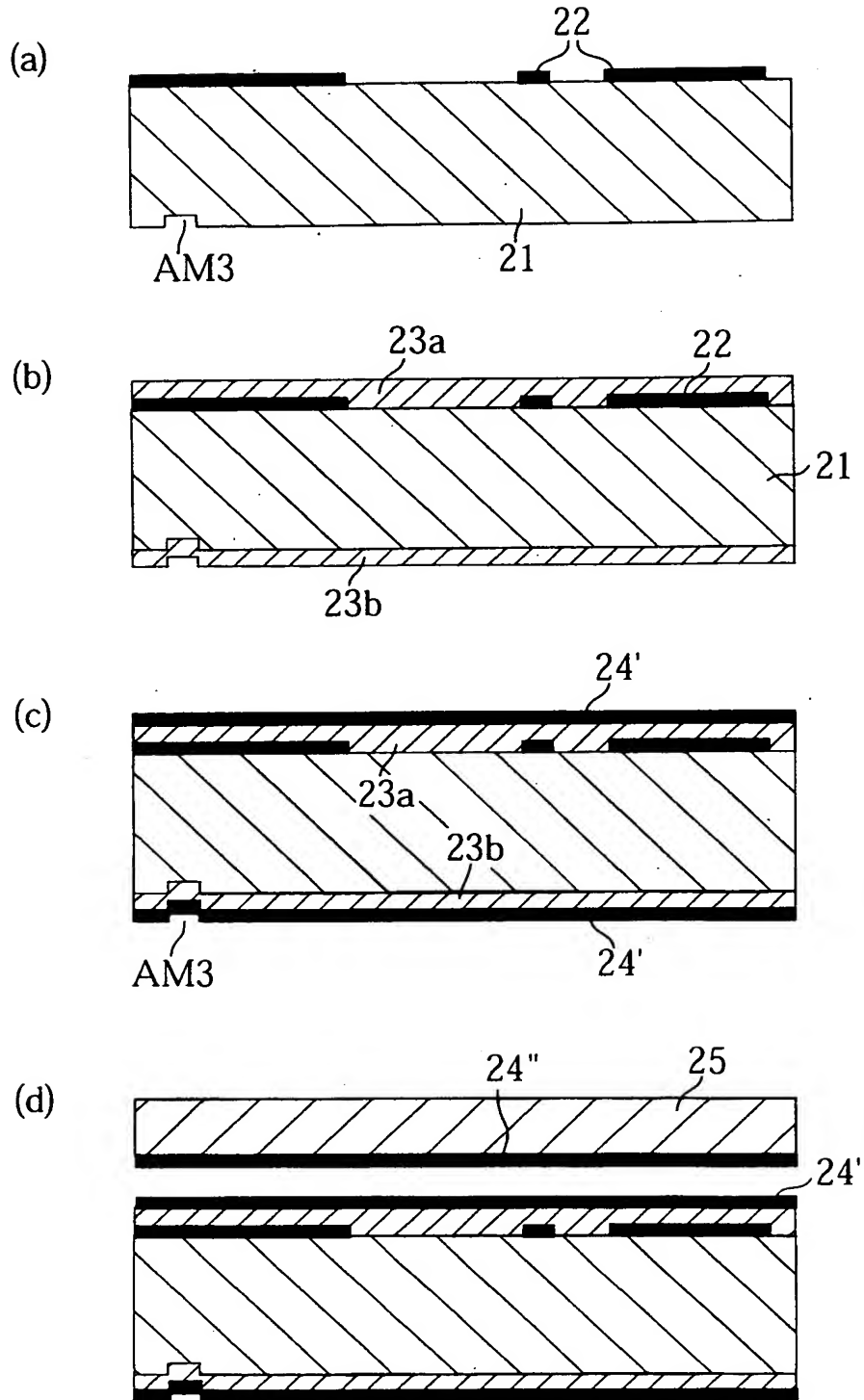
【図 6】

図 5 に続く工程



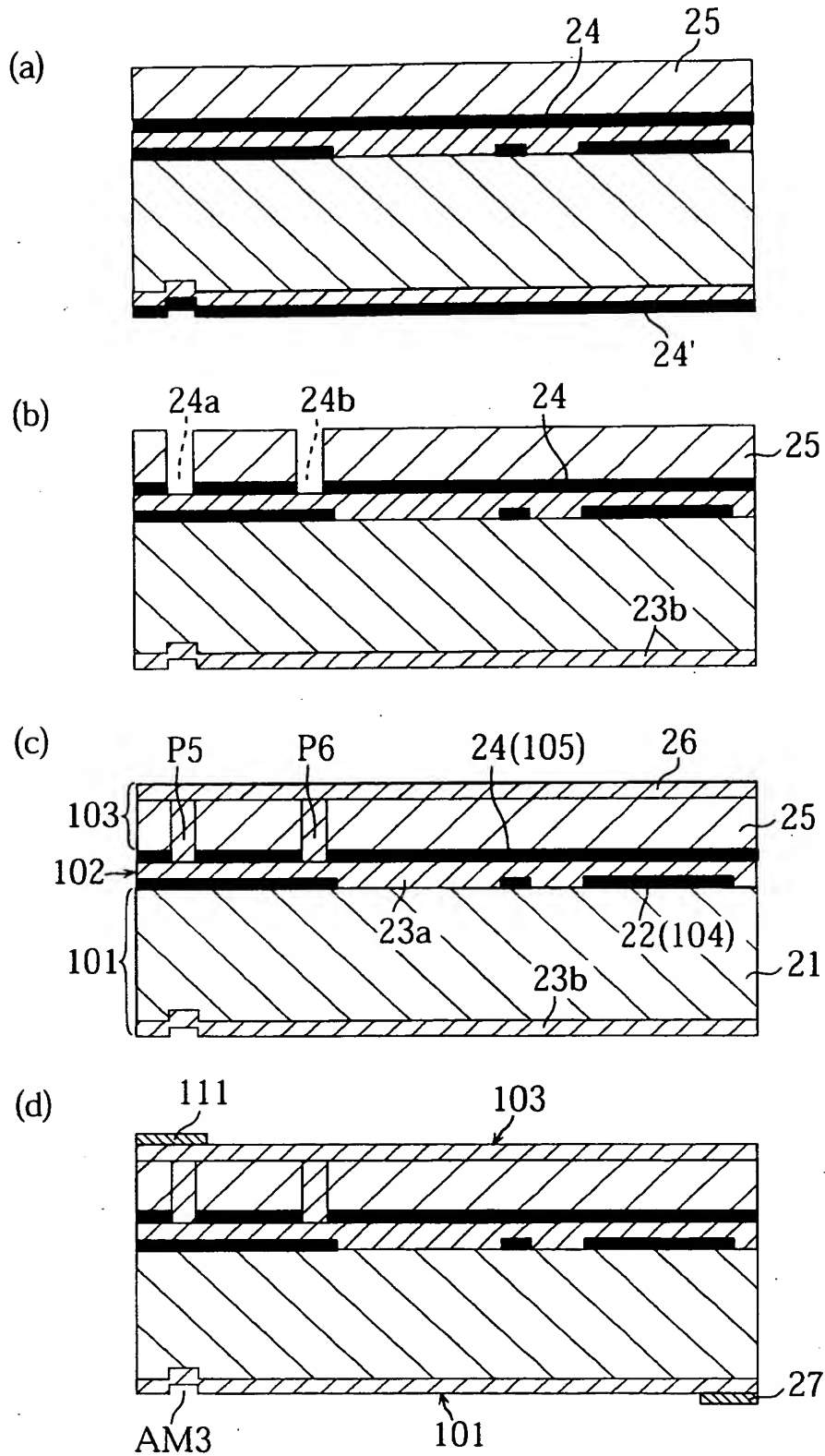
【図 7】

第 2 の実施形態に係る工程



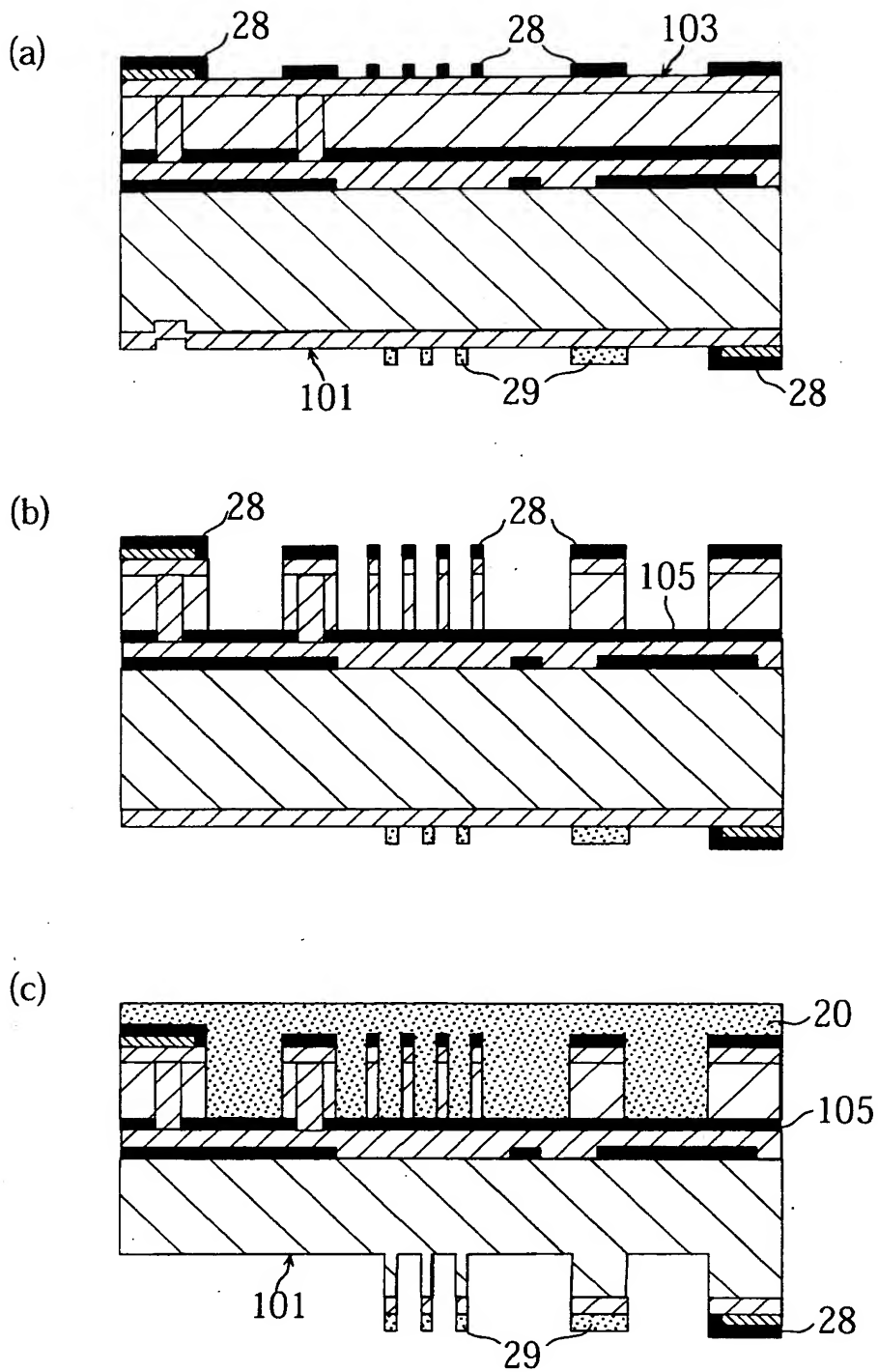
【図 8】

図 7 に続く工程



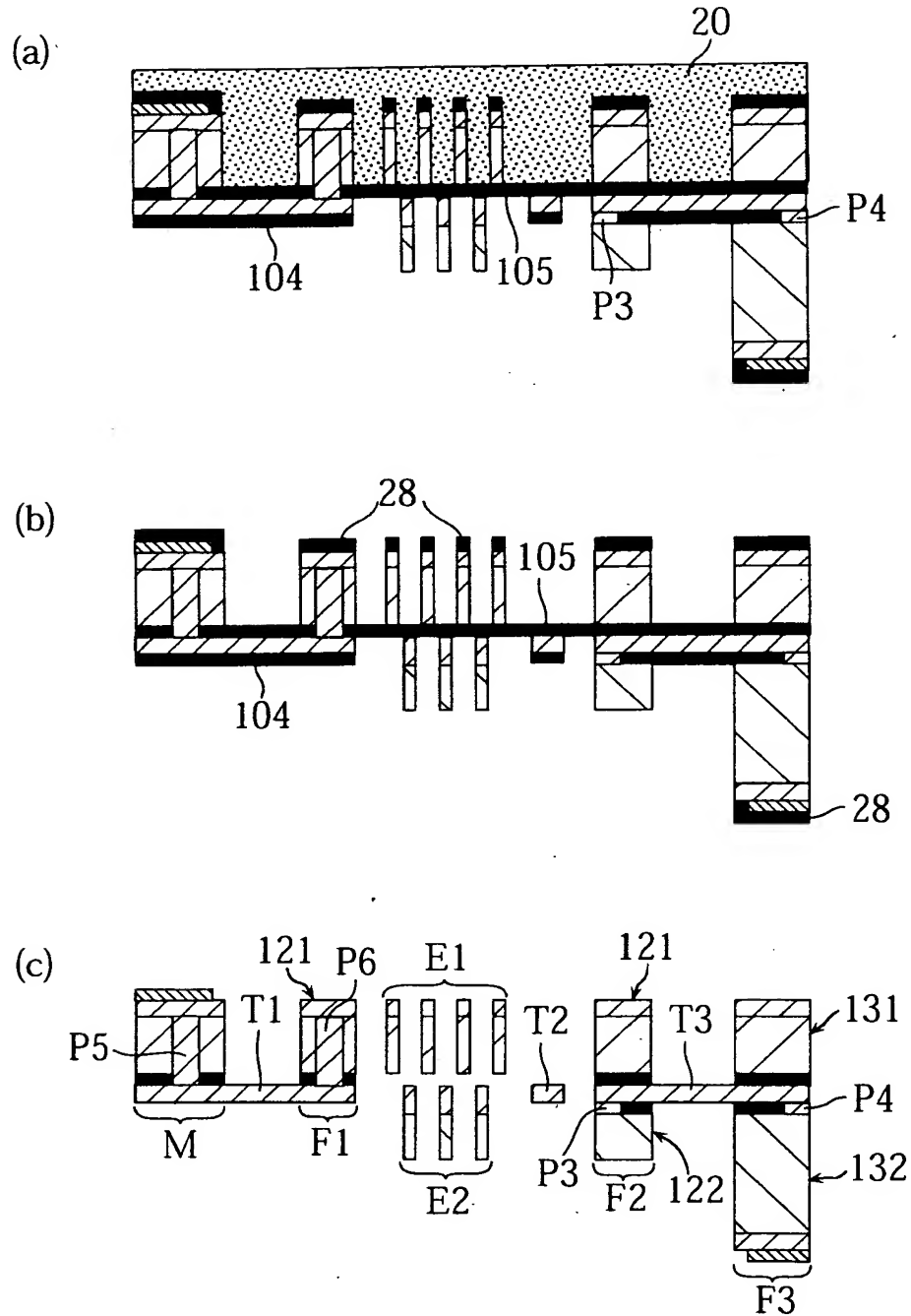
【図 9】

図 8 に続く工程



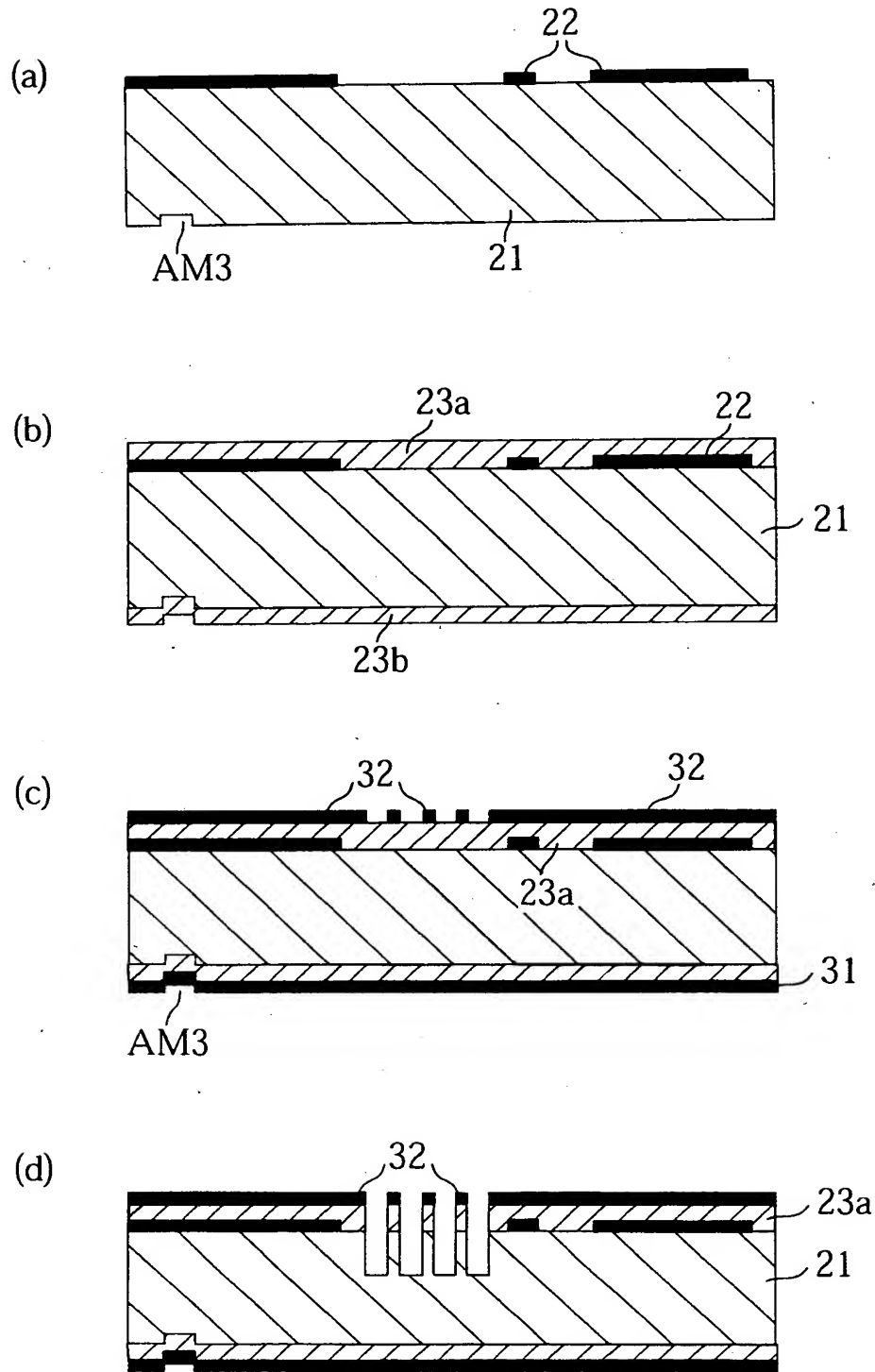
【図 1 0】

図 9 に続く工程



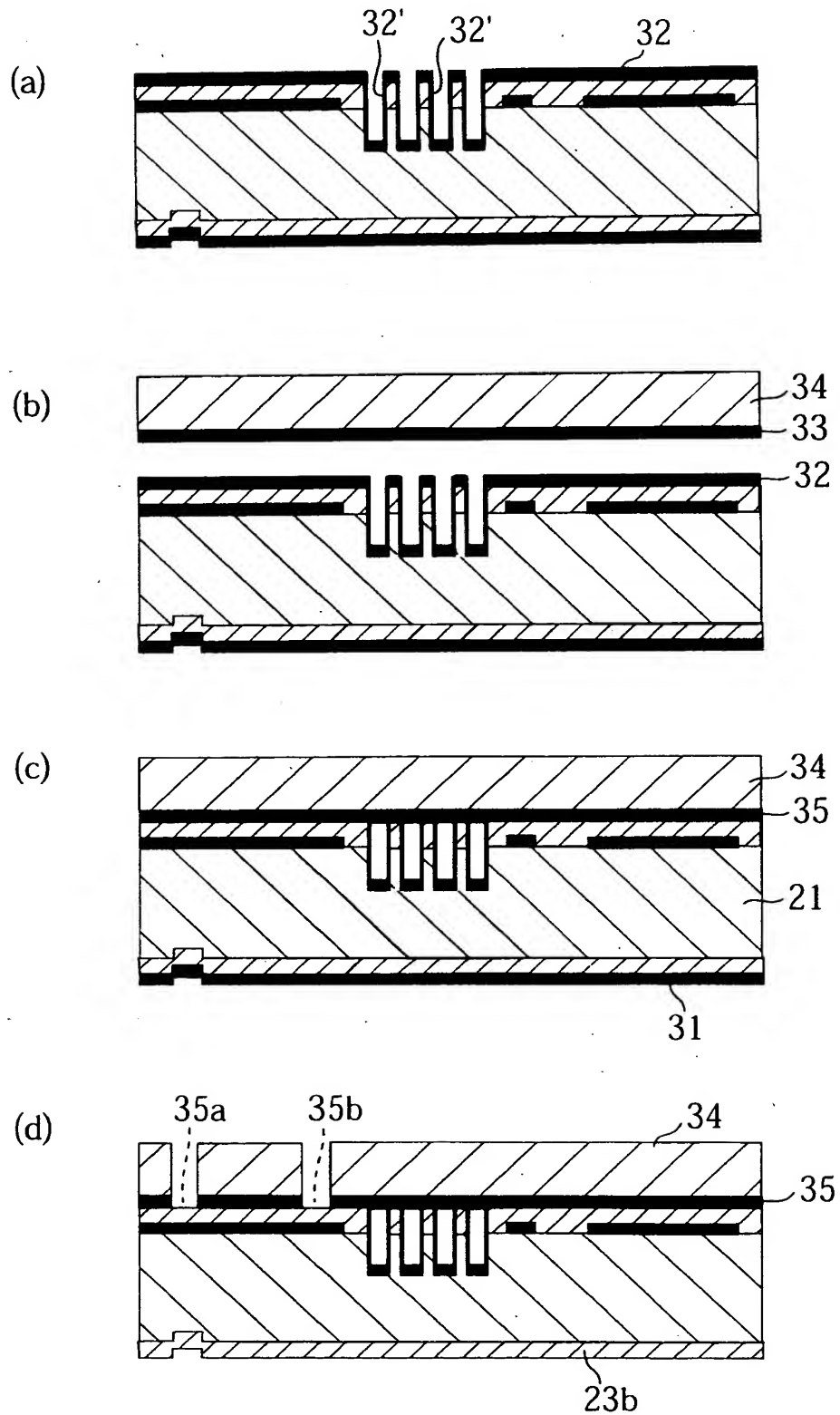
【図 1 1】

第 3 の実施形態に係る工程



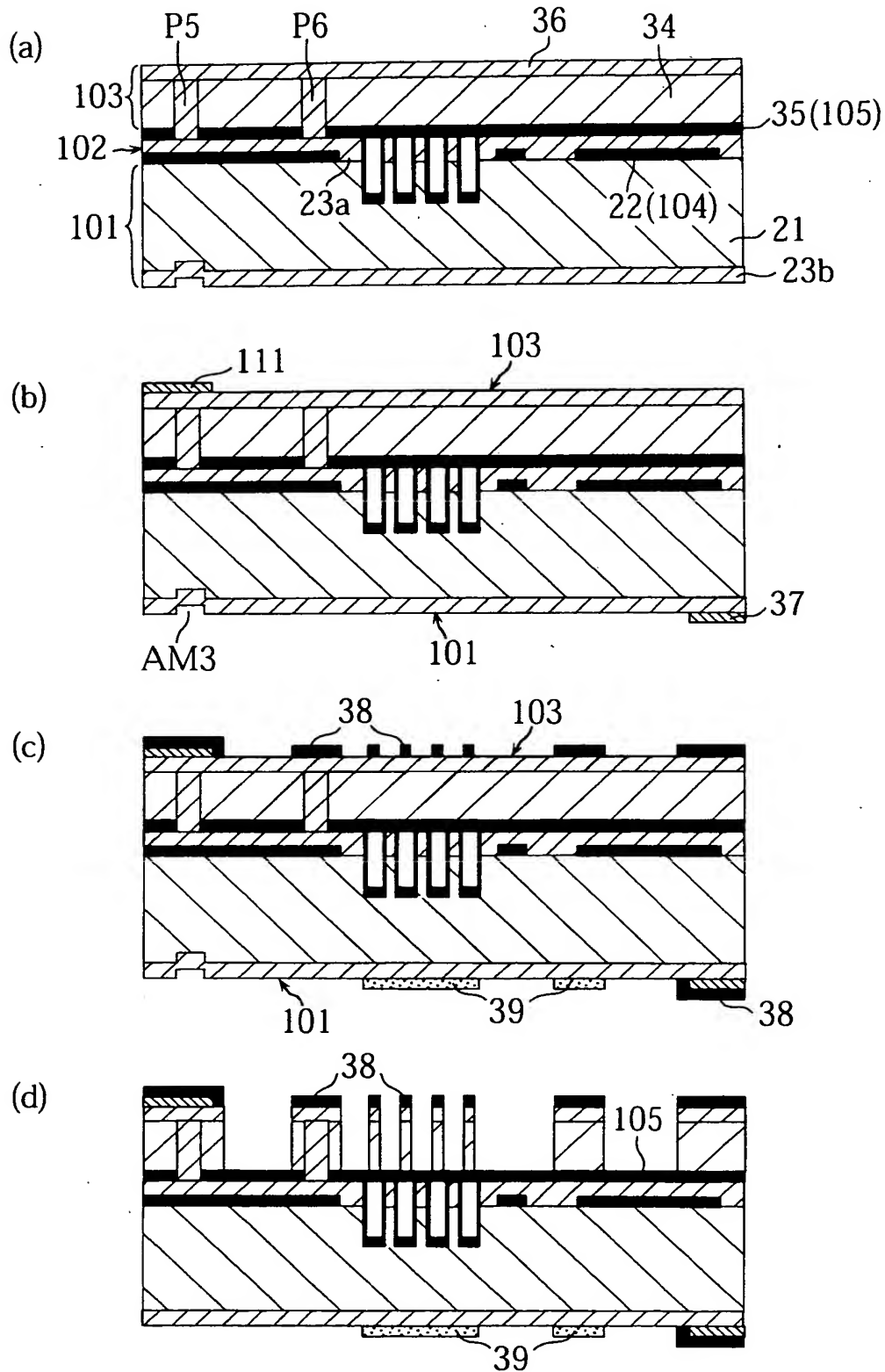
【図 1 2】

図11に続く工程



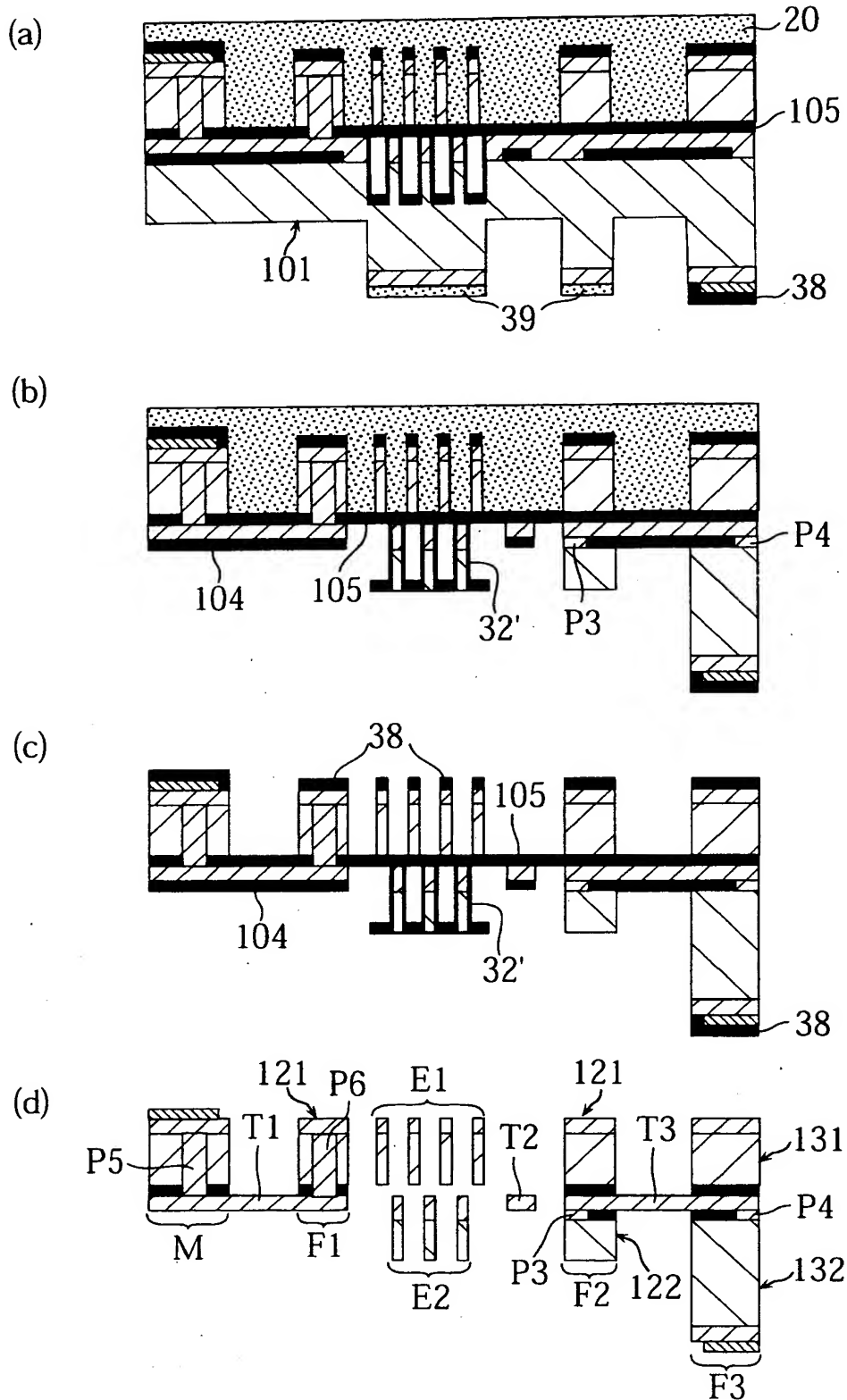
【図 1 3】

図12に続く工程



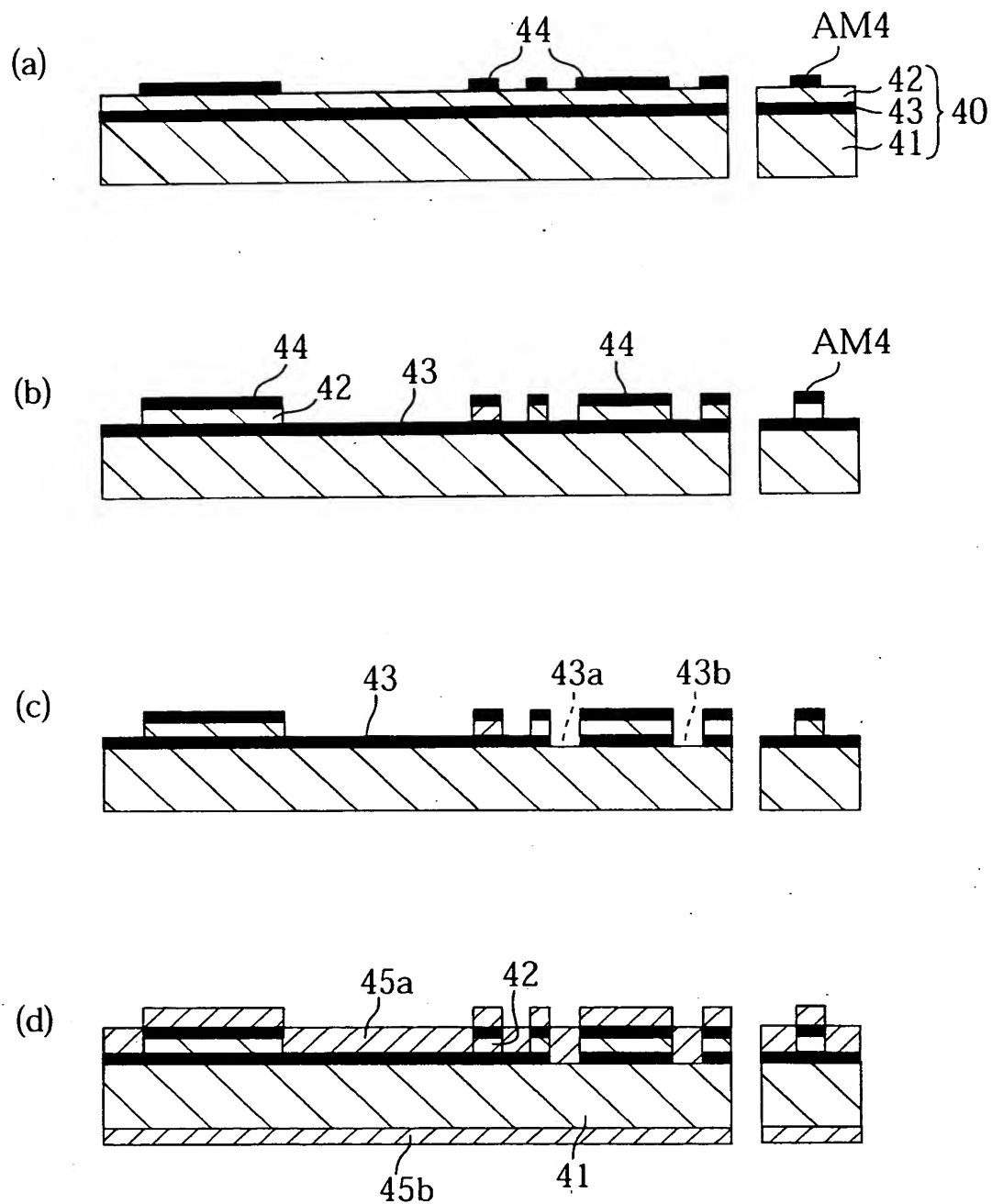
【図 1 4】

図13に続く工程



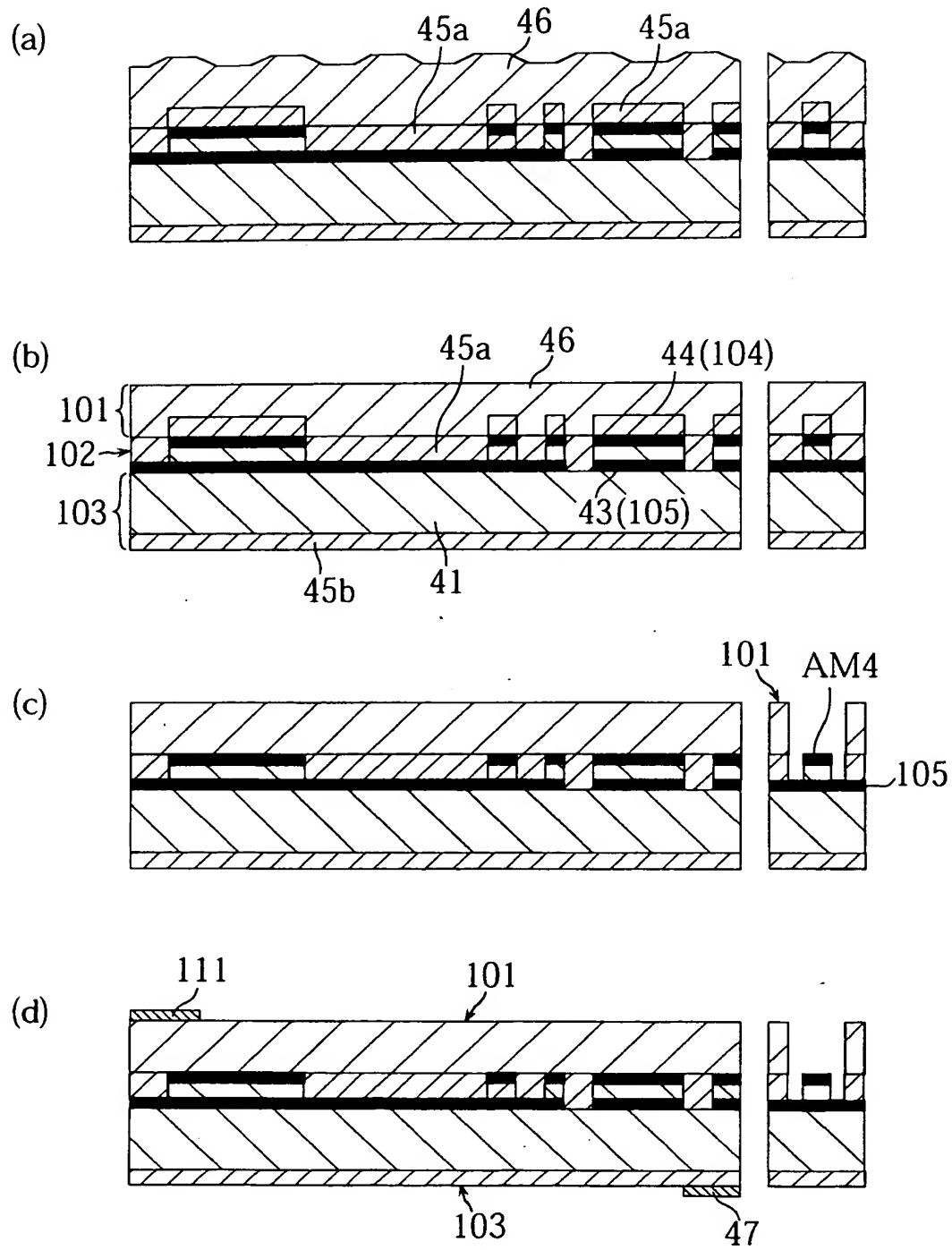
【图 15】

第4の実施形態に係る工程



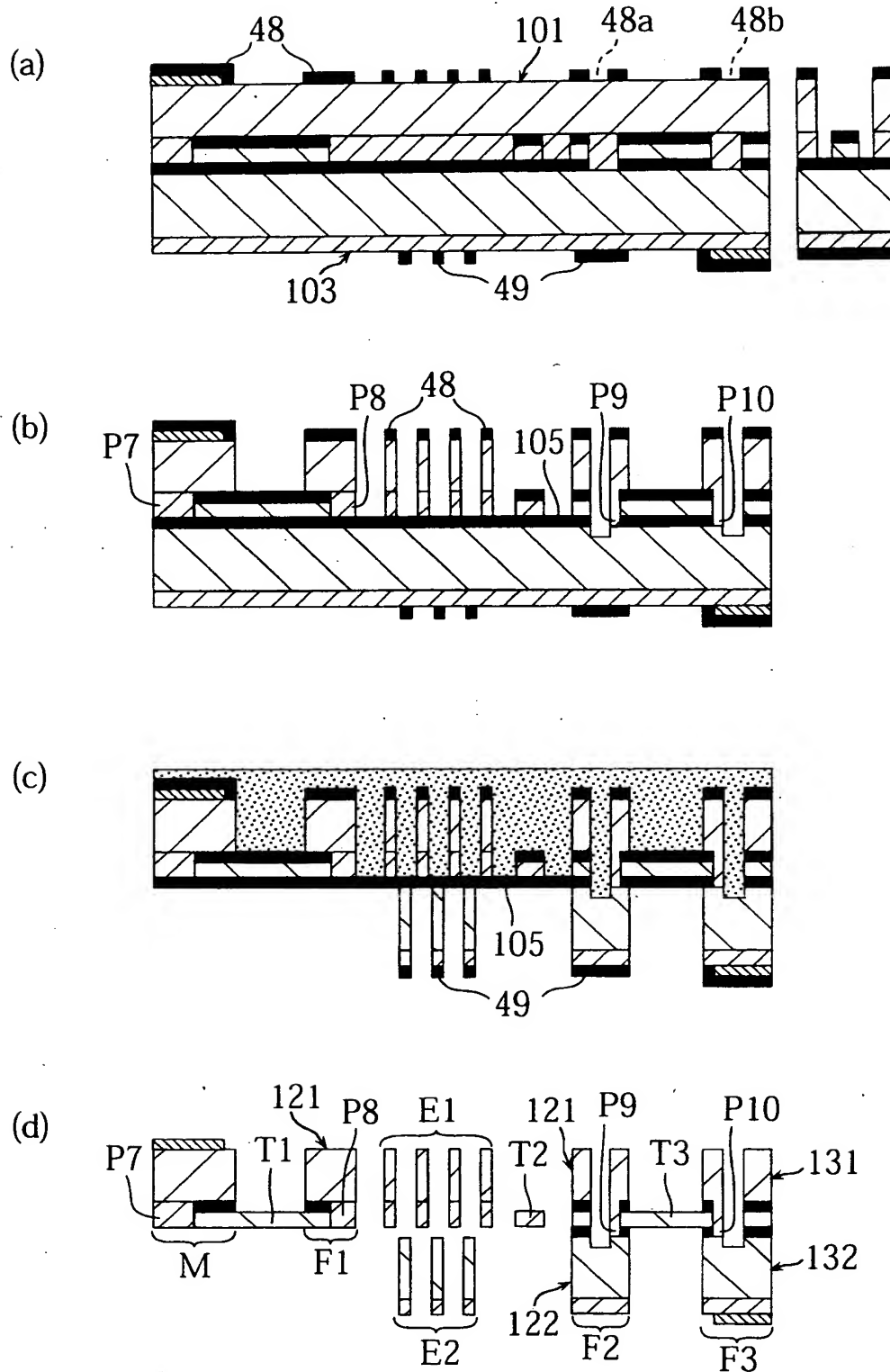
【図 1 6】

図15に続く工程



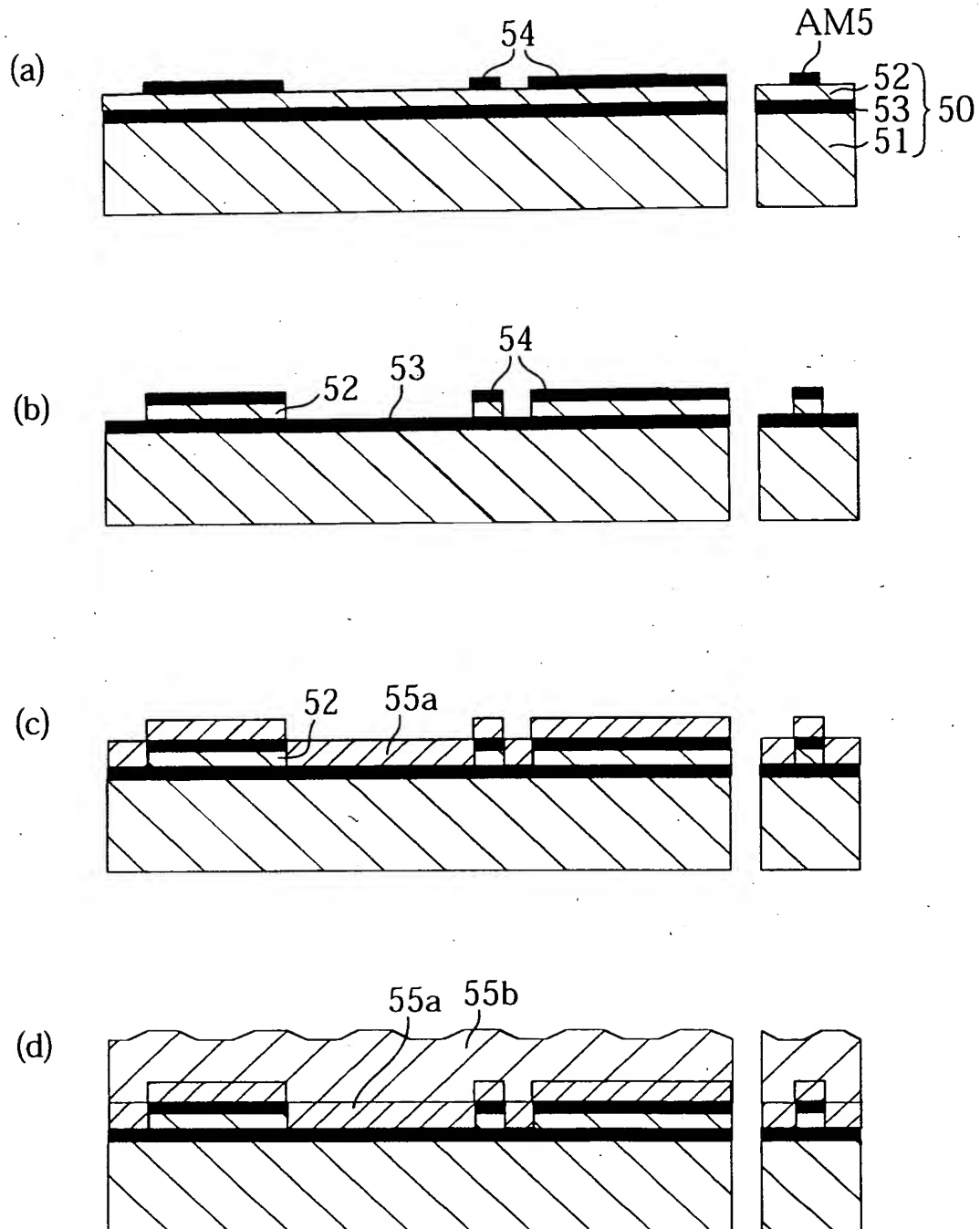
【図 1 7】

図16に続く工程



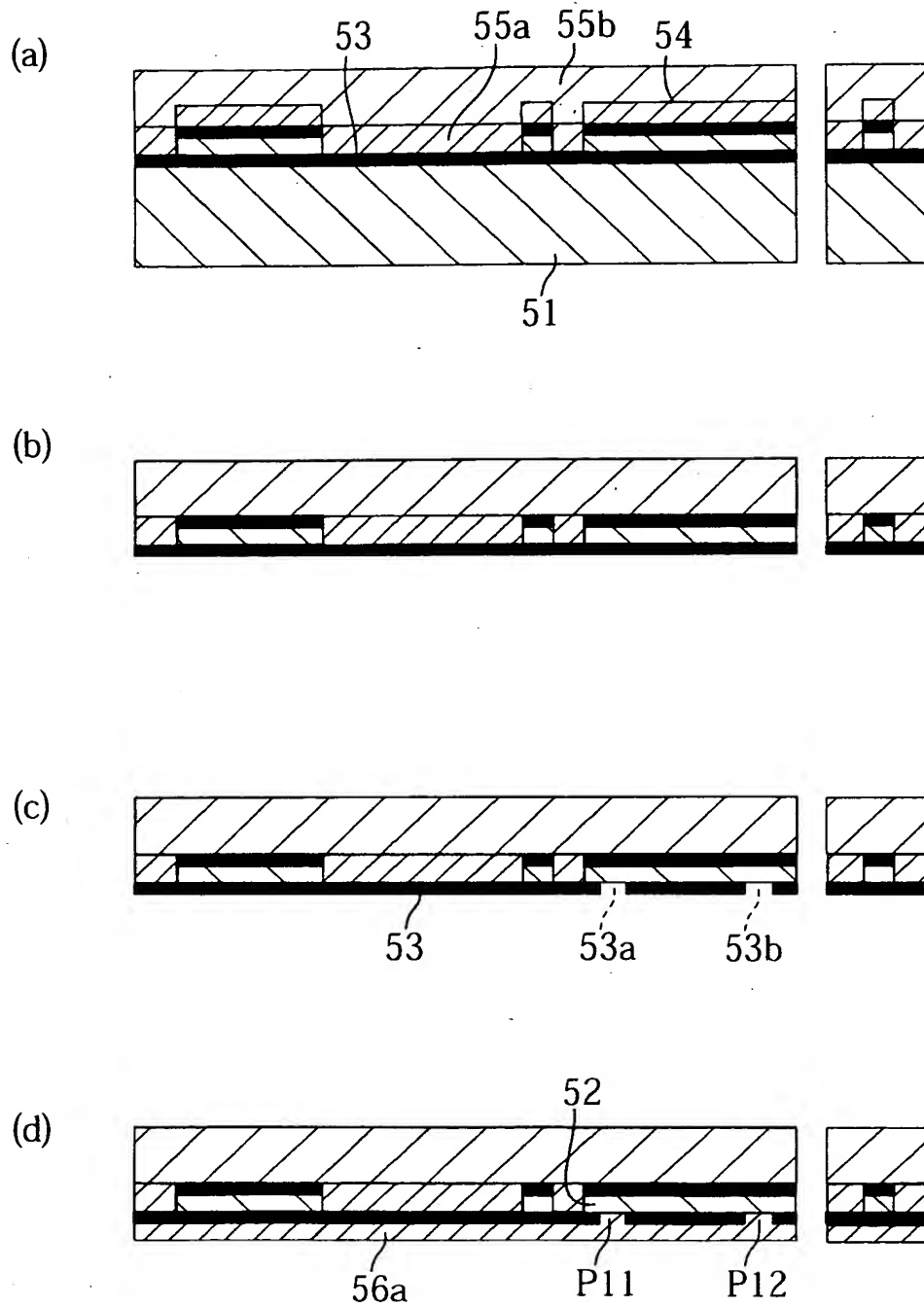
【図 1 8】

第 5 の実施形態に係る工程



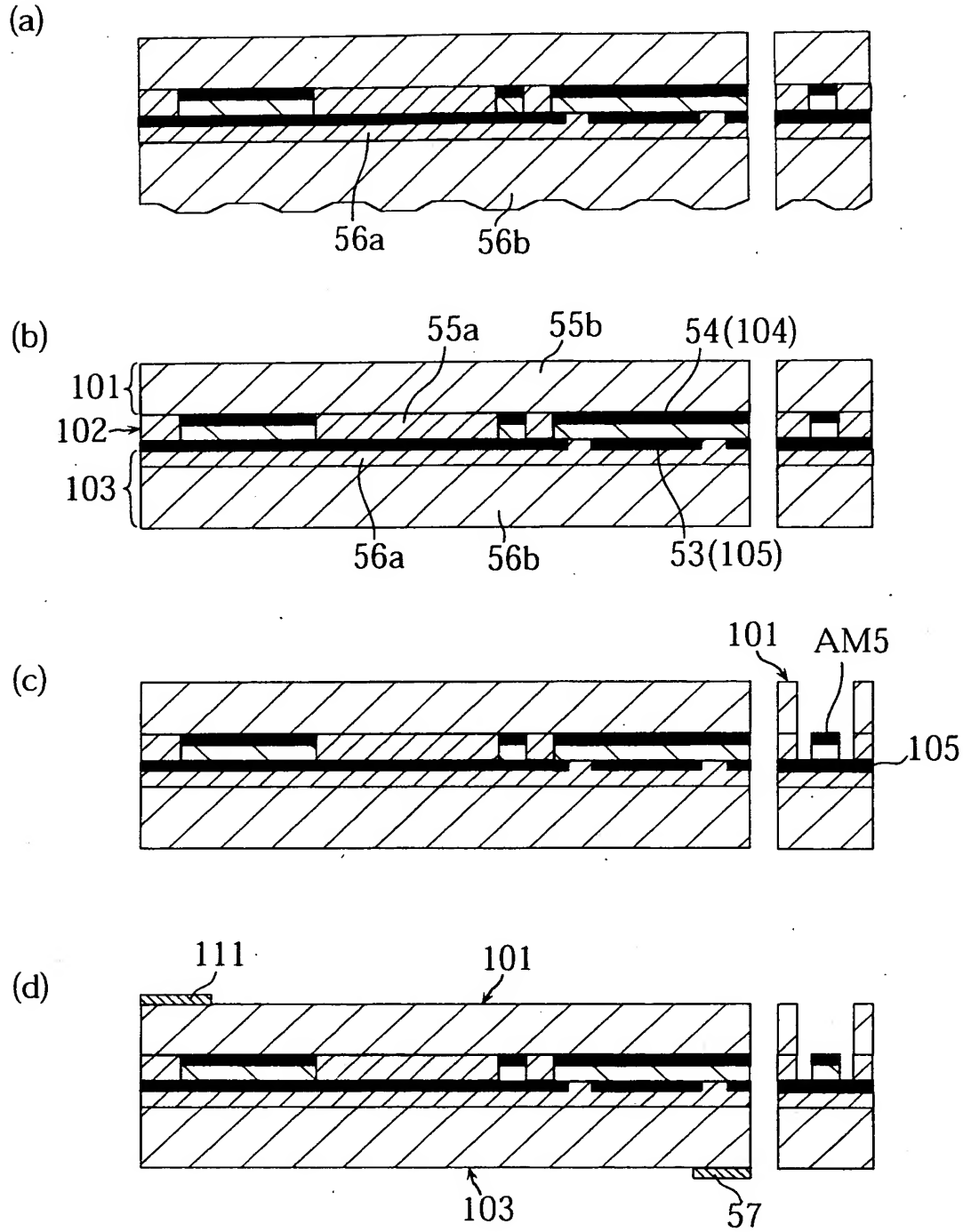
【図 1 9】

図18に続く工程



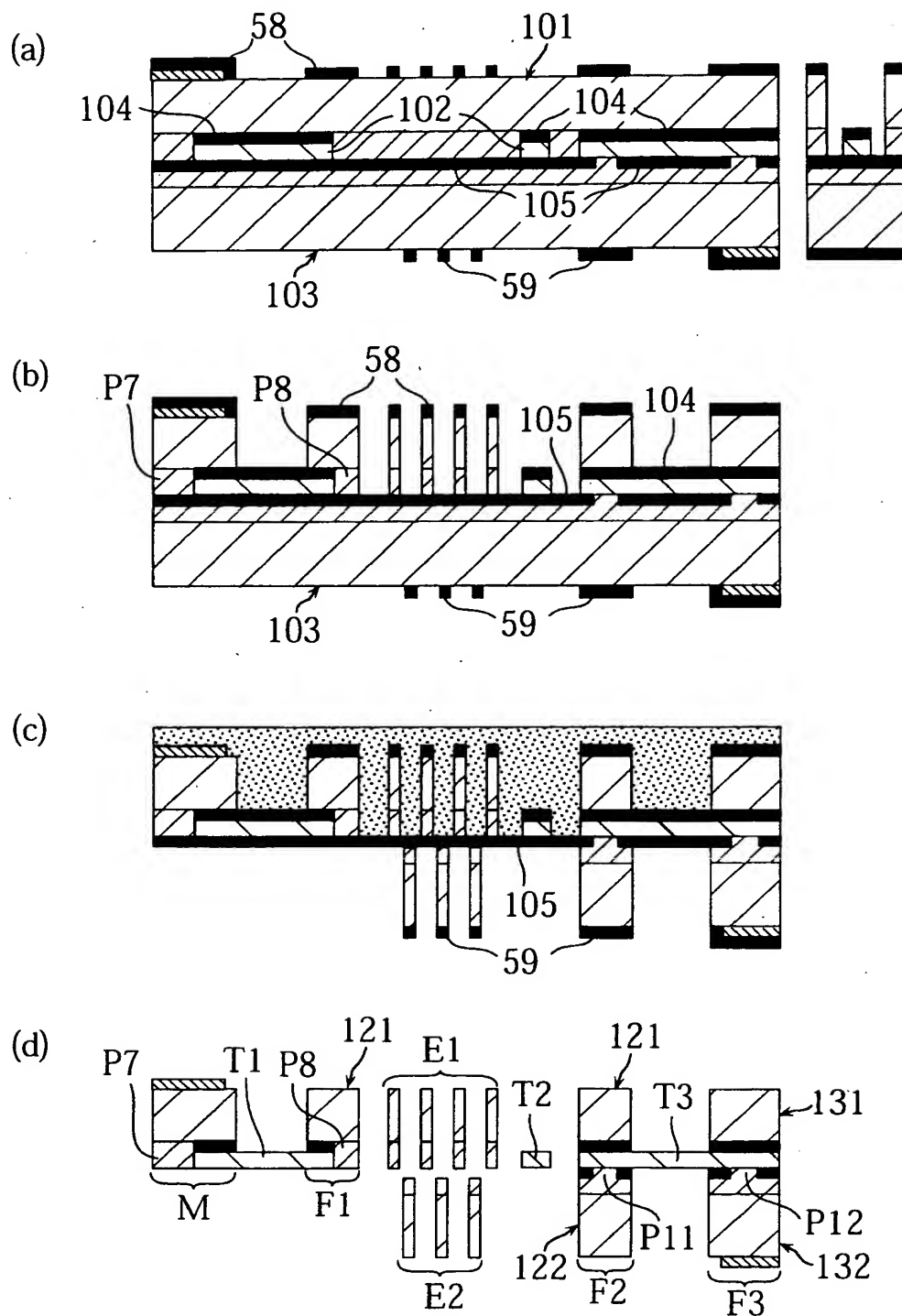
【図 2 0】

図19に続く工程



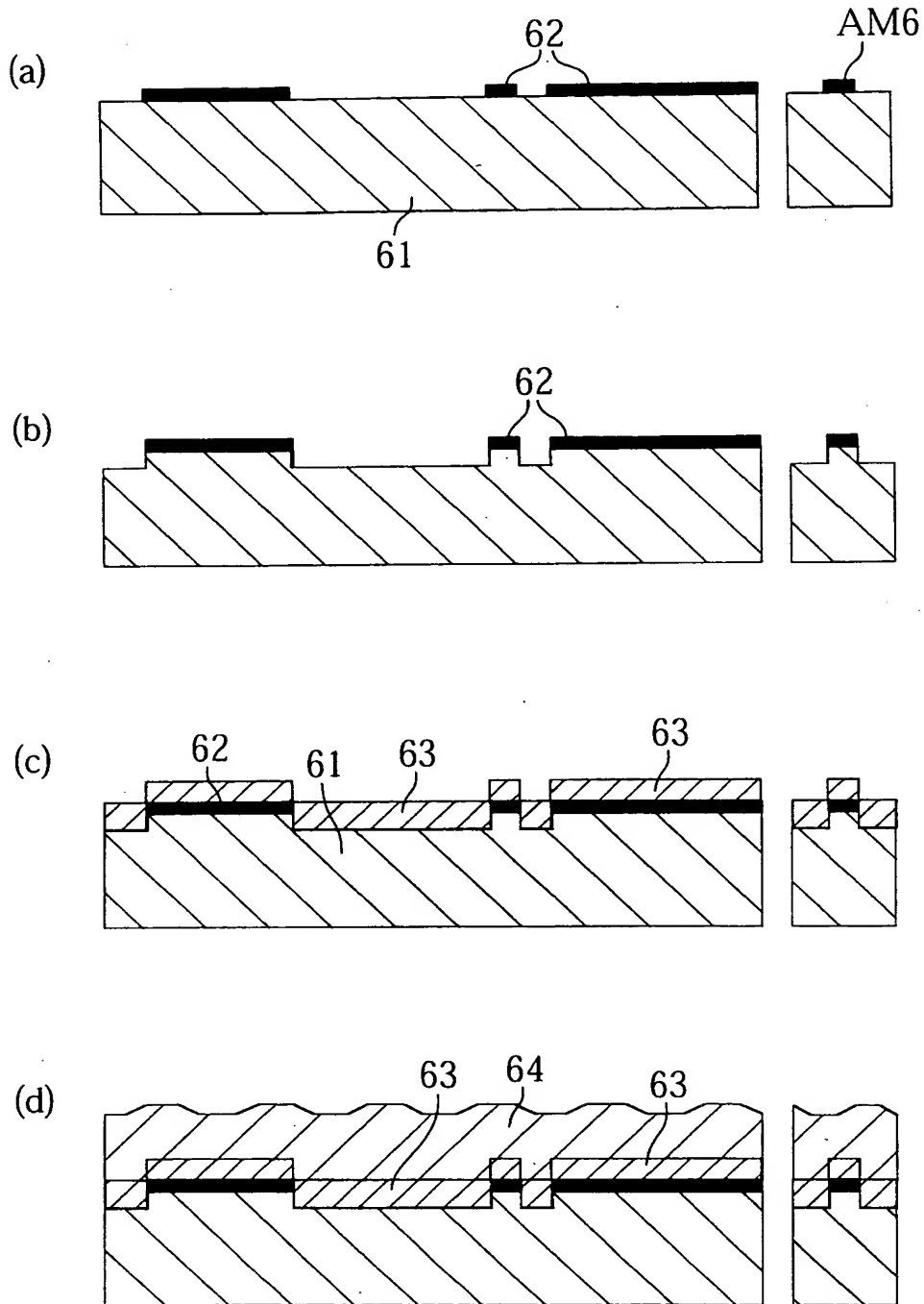
【図 2 1】

図20に続く工程



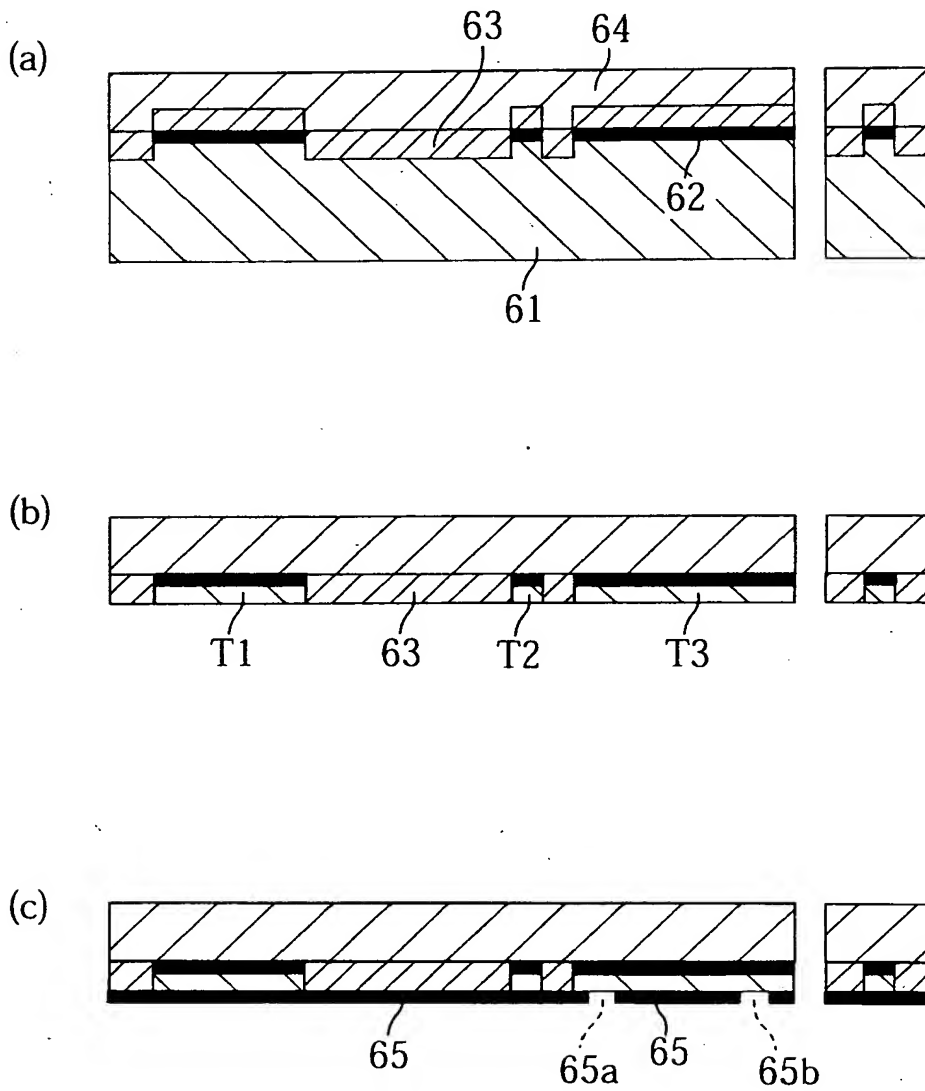
【図 2 2】

第 6 の実施形態に係る工程



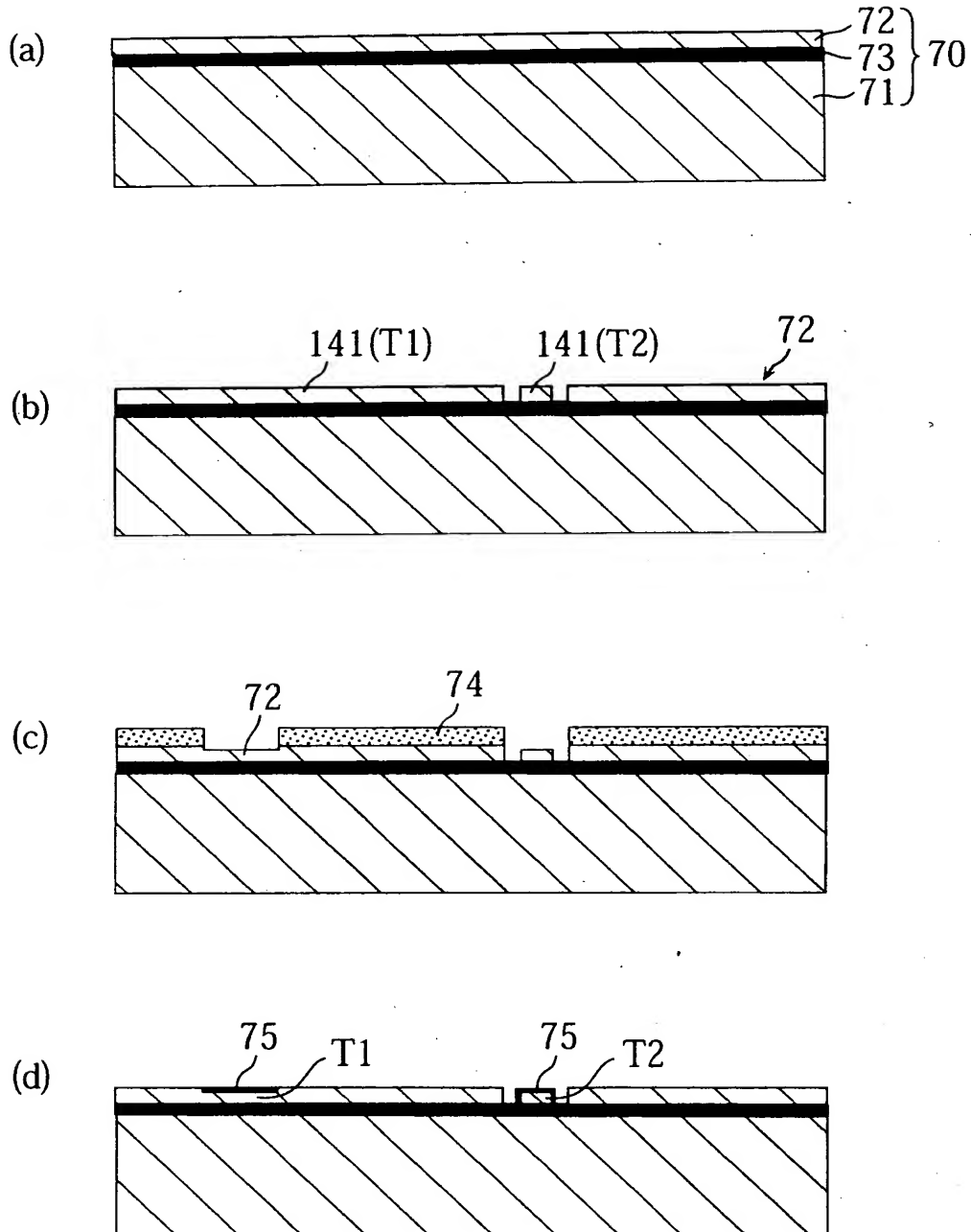
【図 2 3】

図22に続く工程



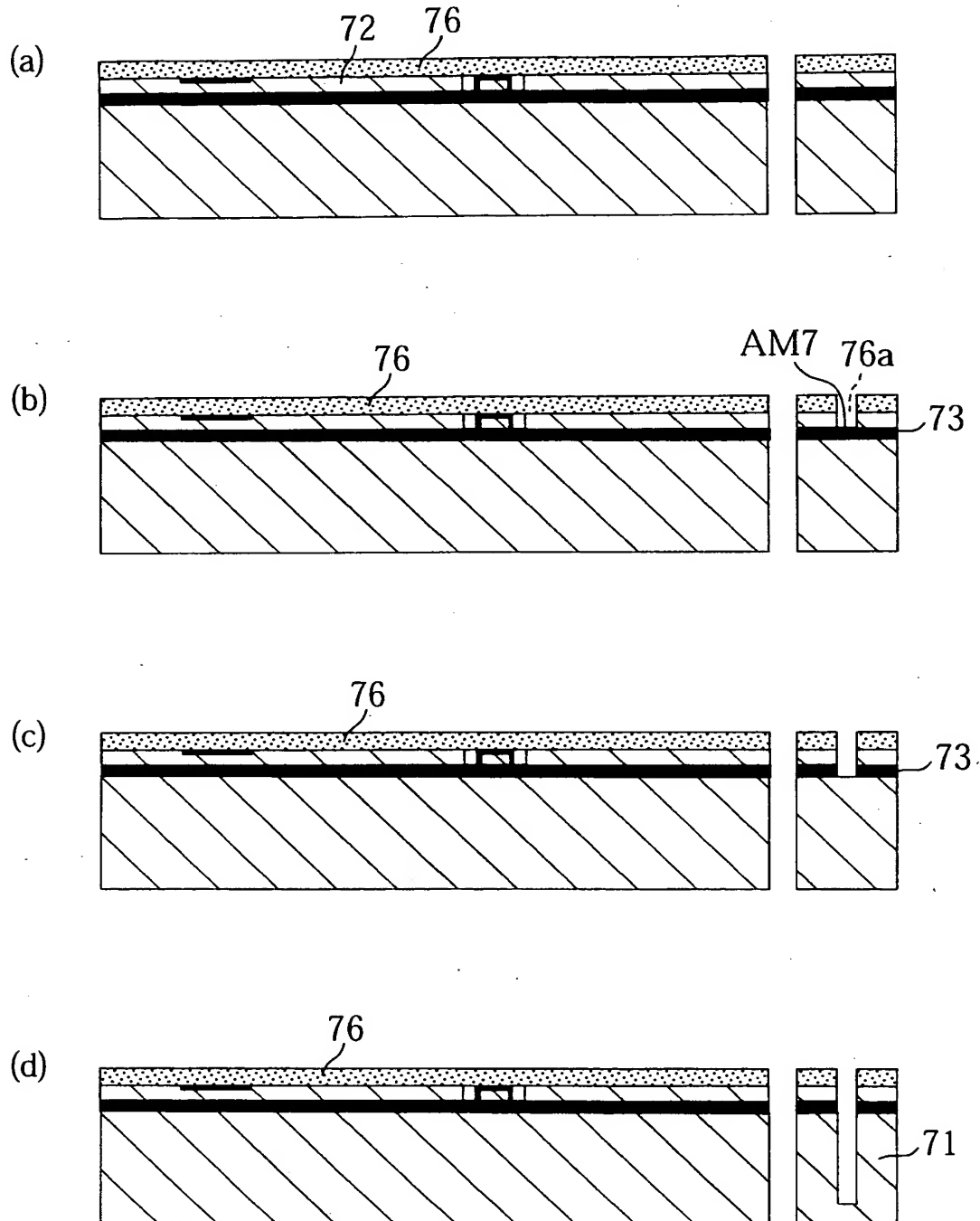
【図 2 4】

第 7 の実施形態に係る工程



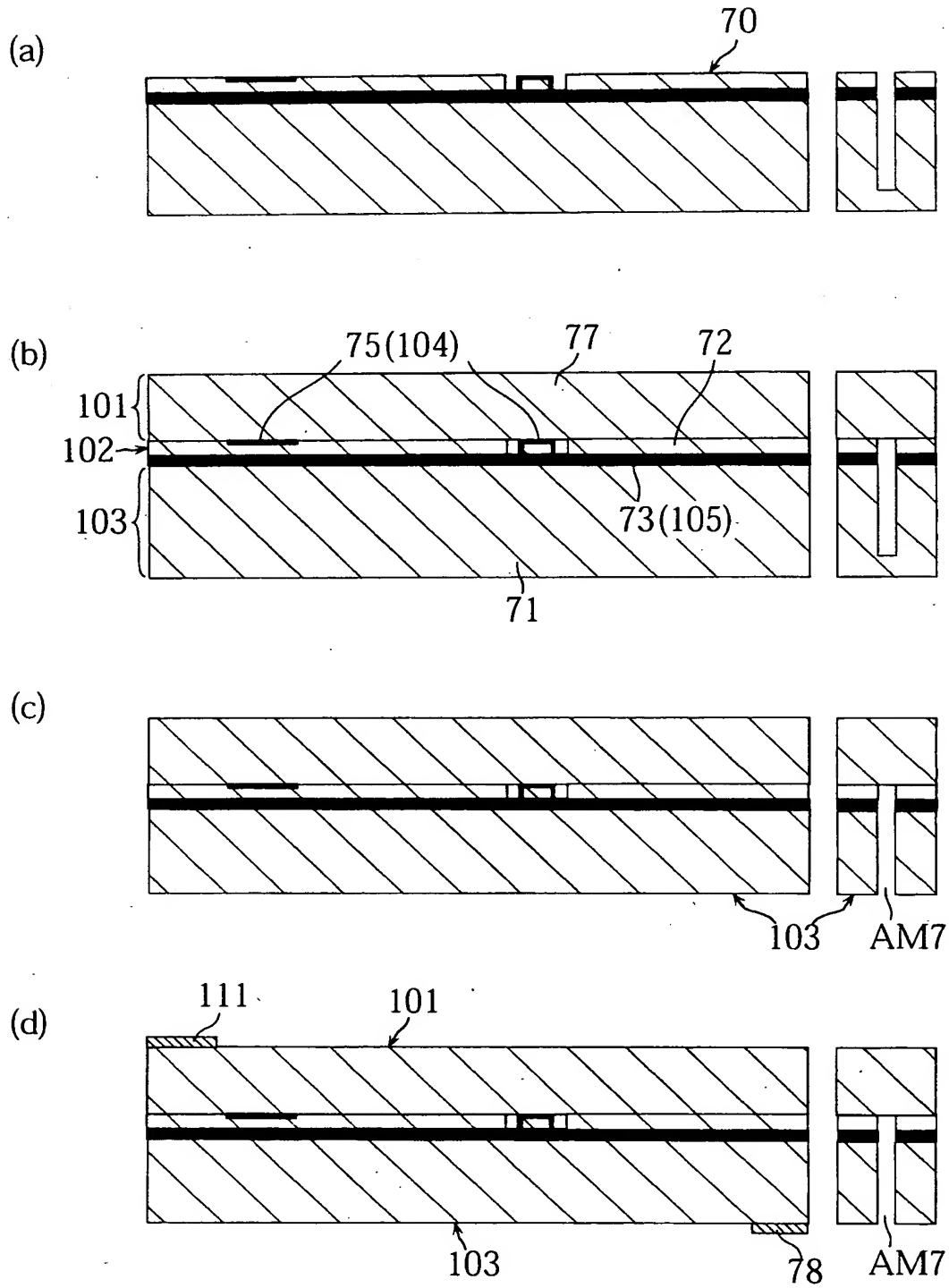
【図 2 5】

図24に続く工程



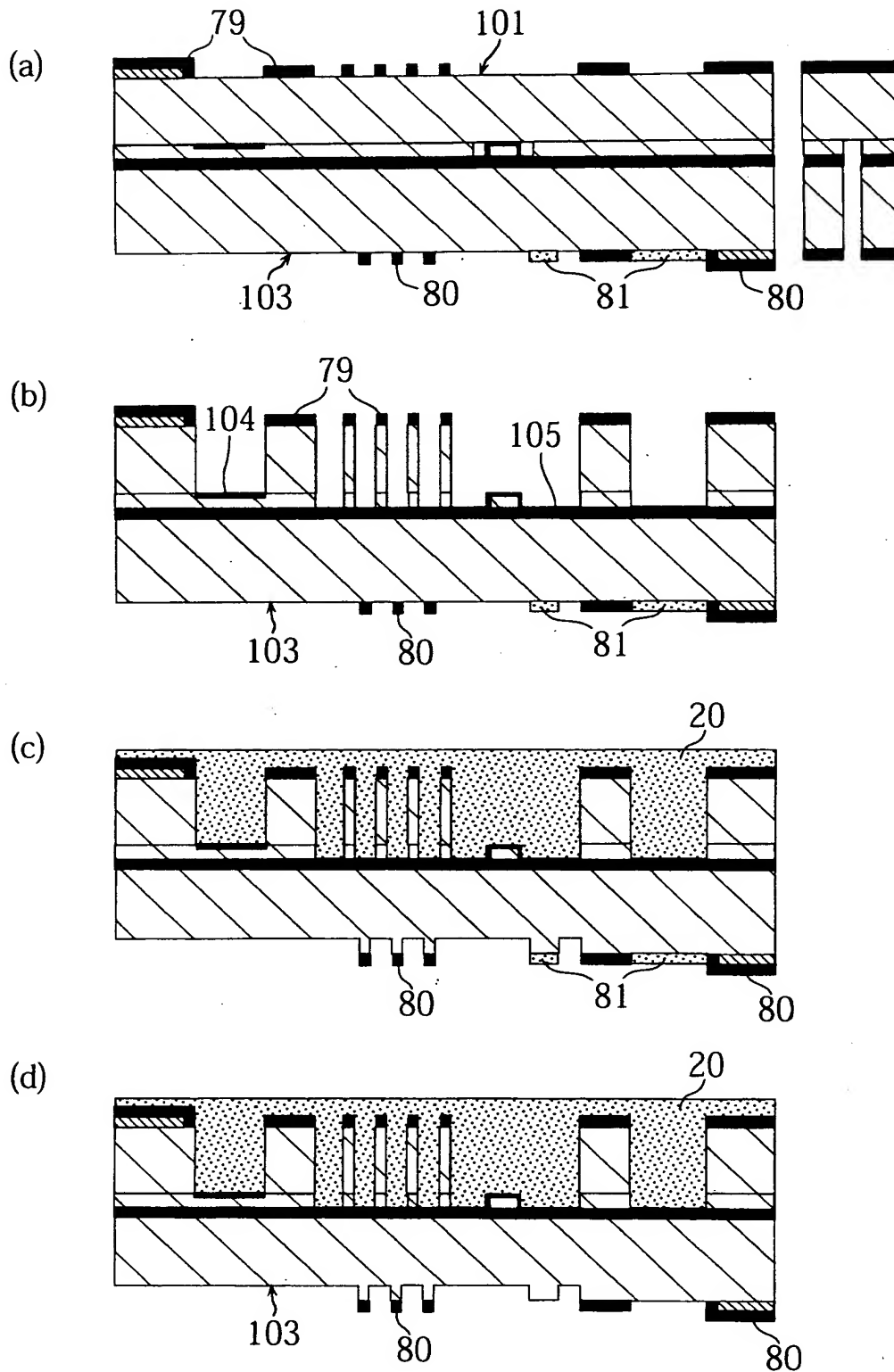
【図 2 6】

図25に続く工程



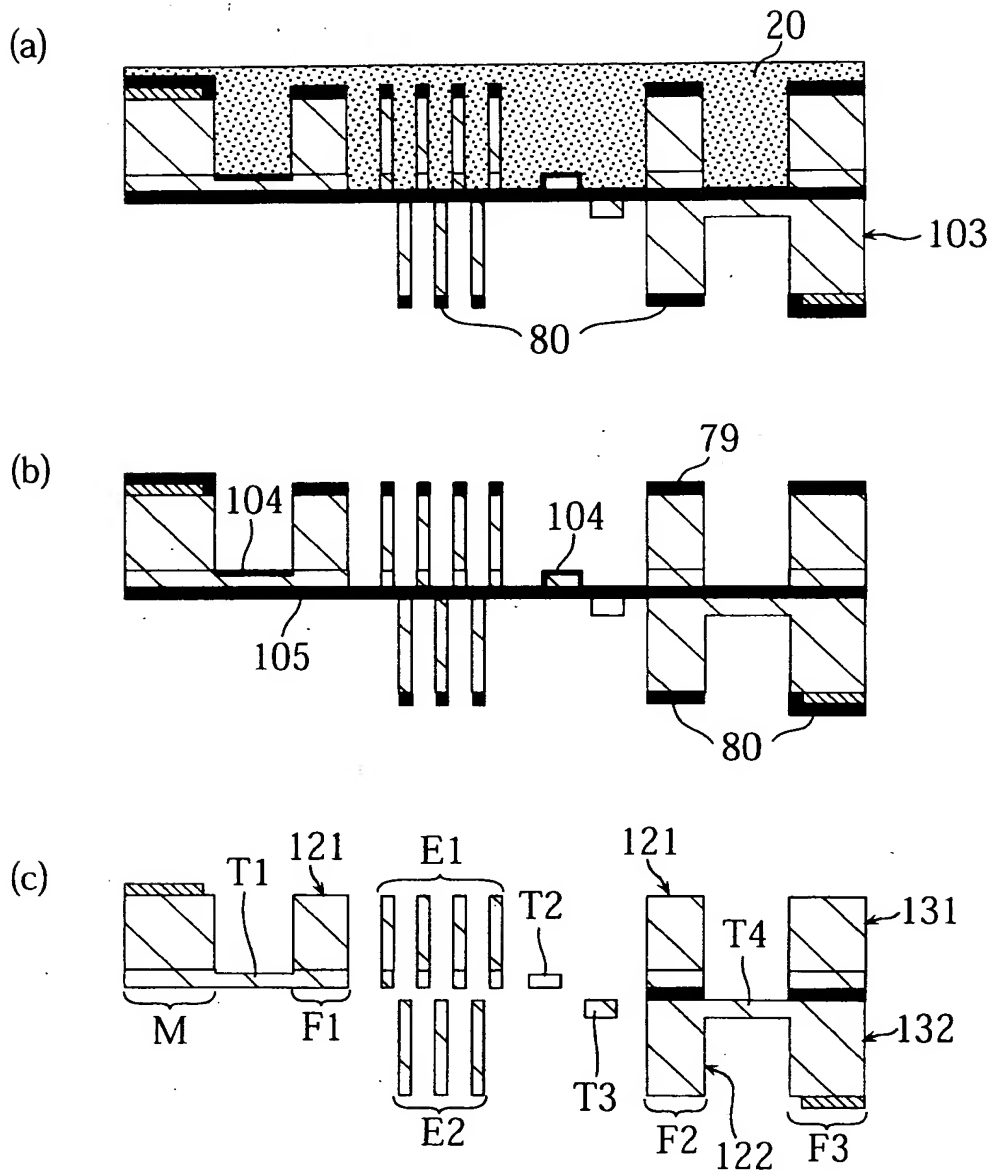
【図 2 7】

図26に続く工程



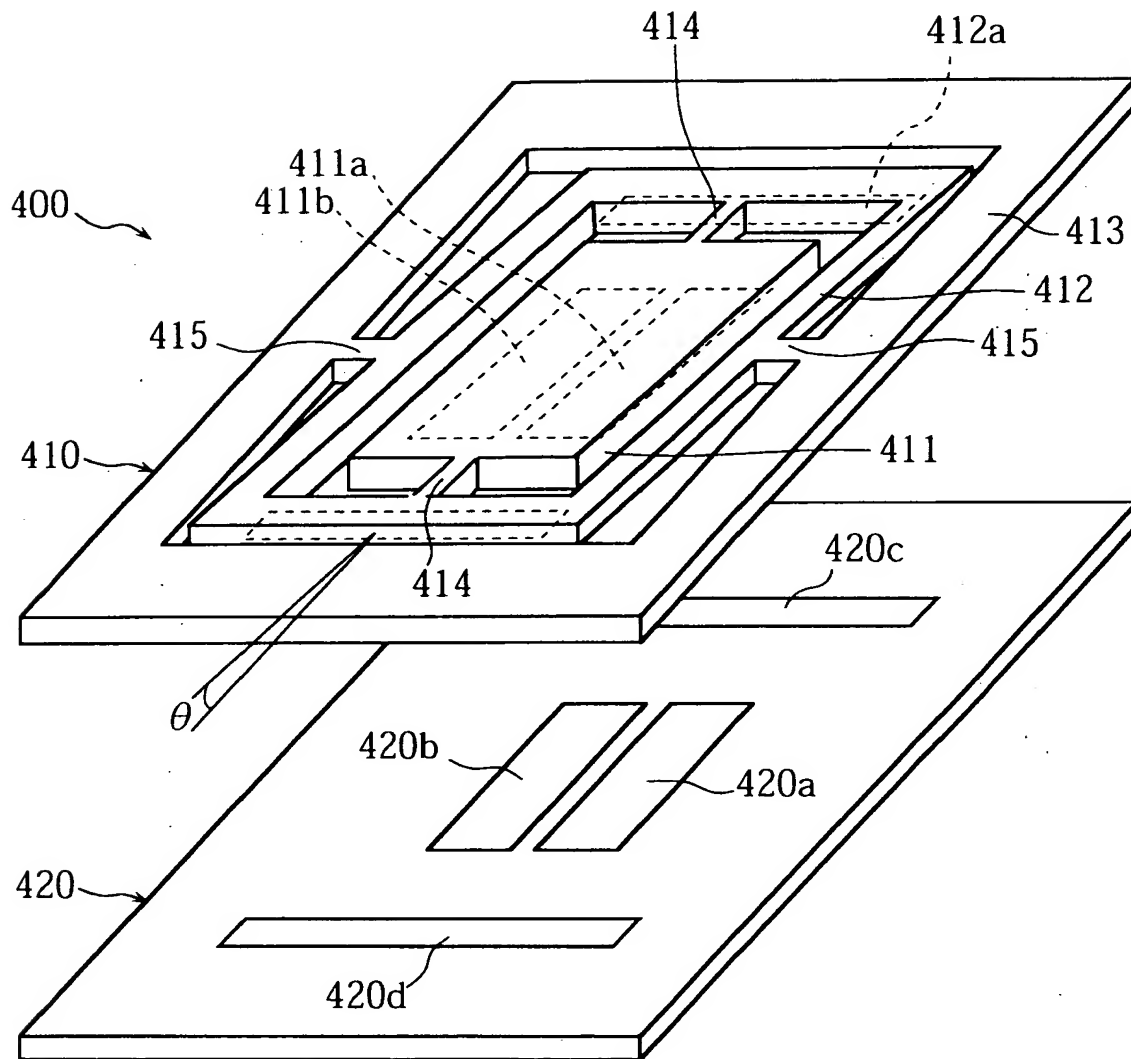
【図 2 8】

図27に続く工程

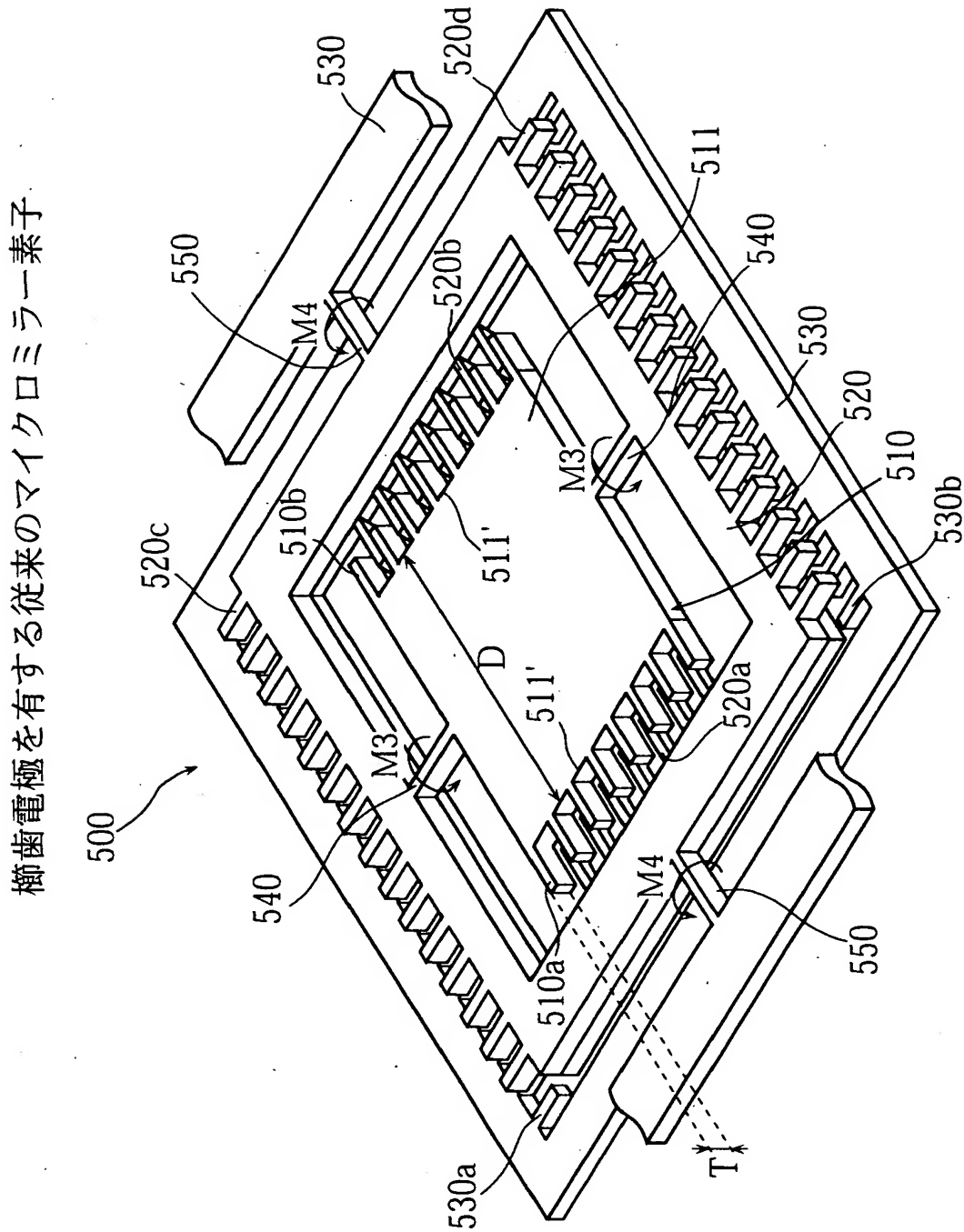


【図 30】

図29に示すマイクロミラー素子の一の状態

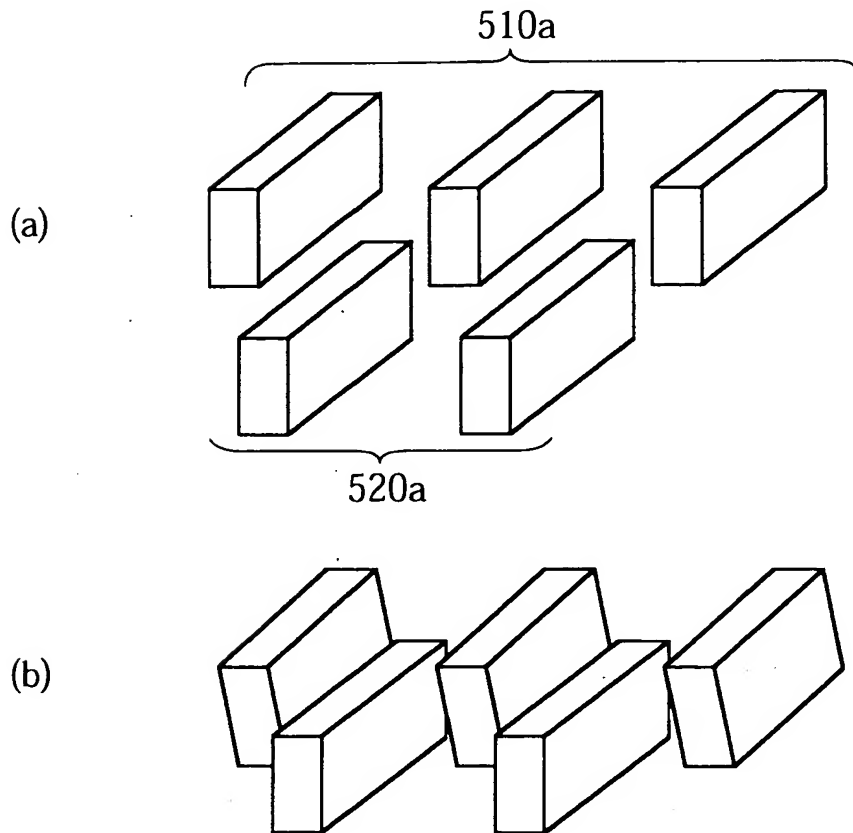


【図 3 1】



【図 3 2】

一組の櫛歯電極の配向を表す部分斜視図



【書類名】 要約書

【要約】

【課題】 厚み寸法について高精度に形成された薄肉部を有するマイクロ構造体の製造方法を提供すること。

【解決手段】 第 1 導体層 1 0 1 と、第 2 導体層 1 0 2 と、第 3 導体層 1 0 3 と、第 2 導体層 1 0 2 において薄肉部へと加工される薄肉部箇所をマスクするための部位を含むパターン形状を有して第 1 導体層 1 0 1 および第 2 導体層 1 0 2 の間に介在する第 1 絶縁層 1 0 4 と、第 2 導体層 1 0 2 における薄肉部箇所をマスク領域に含むパターン形状を有して第 2 導体層 1 0 2 および第 3 導体層 1 0 3 の間に介在する第 2 絶縁層 1 0 5 と、を含む積層構造を有する材料基板における第 1 導体層 1 0 1 の側から、薄肉部箇所に対応する箇所を非マスク領域に含むマスクパターン 5 8 を介して、第 2 絶縁層 1 0 5 に至るまでエッチング処理を行うことによって、薄肉部を成形する工程 (b) を含む。

【選択図】 図 2 1

出 願 人 履 歷 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [398067270]

1. 変更年月日	1998年10月26日
[変更理由]	新規登録
住 所	長野県須坂市大字小山460番地
氏 名	富士通メディアデバイス株式会社